



Budapesti Műszaki és Gazdaságtudományi Egyetem
Villamosmérnöki és Informatikai Kar
Méréstechnikai és Információs Rendszerek Tanszék

Beregi Bence

SPDIF adatfolyam analizátor hardver készítése
Analog Devices DSP alkalmazásával

BSc szakdolgozat

KONZULENS

Dr. Kovács Imre

Dr. Orosz György

BUDAPEST, 2014

Tartalomjegyzék

| | |
|---|-----------|
| KIVONAT | 5 |
| ABSTRACT..... | 6 |
| 1. BEVEZETÉS..... | 7 |
| 2. RENDSZERTERV ÉS SPECIFIKÁCIÓ..... | 8 |
| 3. SZABVÁNYOK | 10 |
| 3.1. ÁLTALÁNOS ISMERTETÉS (IEC-60958) [1][2][3][4]..... | 10 |
| 3.1.1. Szórakoztató elektronikai felhasználás fizikai rétege | 13 |
| 3.1.2. Professzionális elektronikai felhasználás fizikai rétege | 15 |
| 3.2. NEM LINEÁRIS PCM KÓDOLÁSOK (IEC 61937) [5][6] | 16 |
| 4. FEJLESZTŐESZKÖZÖK | 18 |
| 5. A MEGVALÓSÍTOTT RENDSZER | 23 |
| 5.1. BLOKKVÁZLAT | 23 |
| 5.2. KOMMUNIKÁCIÓS SZABVÁNYOK..... | 24 |
| 5.2.1. SPI..... | 24 |
| 5.2.2. UART..... | 25 |
| 5.2.3. I2C (TWI)..... | 25 |
| 5.2.4. I2S..... | 26 |
| 5.3. DIGITÁLIS JELFELDOLGOZÓ PROCESSZOR..... | 26 |
| 5.3.1. Belső felépítés | 26 |
| 5.3.2. Tervezés a processzorral | 29 |
| 5.3.2.1. Boot Flash | 31 |
| 5.3.2.2. Környező áramkörök..... | 32 |
| 5.4. S/PDIF VEVŐ | 36 |
| 5.5. CSÚCSÉRTÉK KÉPZŐ | 38 |
| 5.6. ANALÓG-DIGITÁLIS ÁTALAKÍTÓ | 41 |
| 5.7. S/PDIF ADÓ | 44 |
| 5.8. AUDIÓ INTERFÉSZ | 45 |
| 5.8.1. Analóg-digitális és digitális-analóg átalakító..... | 46 |
| 5.8.2. Audió bemenet..... | 49 |
| 5.8.3. Audió kimenet..... | 52 |
| 5.9. KEZELŐFELÜLET | 55 |
| 5.9.1. UART-USB interfész | 56 |
| 5.10. TÁPEGYSÉG | 58 |

| | | |
|-----------|--|-----------|
| 5.11. | BŐVÍTŐ KÁRTYA | 64 |
| 5.11.1. | AES3/EBU vevő..... | 65 |
| 5.11.2. | AES3/EBU adó..... | 66 |
| 6. | NYOMTATOTT ÁRAMKÖR TERVEZÉS | 69 |
| 7. | ÖSSZEFOGLALÁS..... | 76 |
| | IRODALOMJEGYZÉK..... | 77 |

HALLGATÓI NYILATKOZAT

Alulírott **Beregi Bence**, szigorló hallgató kijelentem, hogy ezt a szakdolgozatot meg nem engedett segítség nélkül, saját magam készítettem, csak a megadott forrásokat (szakirodalom, eszközök stb.) használtam fel. Minden olyan részt, melyet szó szerint, vagy azonos értelemben, de átfogalmazva más forrásból átvettem, egyértelműen, a forrás megadásával megjelöltem.

Hozzájárulok, hogy a jelen munkám alapadatait (szerző(k), cím, angol és magyar nyelvű tartalmi kivonat, készítés éve, konzulens(ek) neve) a BME VIK nyilvánosan hozzáférhető elektronikus formában, a munka teljes szövegét pedig az egyetem belső hálózatán keresztül (vagy hitelesített felhasználók számára) közzétegye. Kijelentem, hogy a benyújtott munka és annak elektronikus verziója megegyezik. Dékáni engedéllyel titkosított diplomatervek esetén a dolgozat szövege csak 3 év eltelte után válik hozzáférhetővé.

Kelt: Budapest, 2014.05.21

.....
Beregi Bence

Kivonat

A dolgozat témája egy digitális audió jelfolyam analízátor tervezése a Lightware Kft részére, mivel felmerült az igény egy saját eszköz kifejlesztésére. A feladat megvalósításához az Analog Devices ADSP-21489-es áramkörét kellett használnom. Az analízátornak rendelkeznie kell a digitális audió be- és kimeneten kívül analóg audió interfészekkel is.

A tervezési folyamathoz nélkülözhetetlen volt a digitális audió szabványok megismerése, majd a DSP felépítésének tanulmányozása. Ezek után elkészítettem a rendszer funkcionális blokkvázlatát, amiből a részegységek egyenként megvalósíthatóak. A részegységek megvalósításához specifikálnom kellett az interfészek tulajdonságait a szabványok alapján, és ennek megfelelően odafigyelni a felhasznált alkatrészekre. Szimulációkat végeztem egyes egységek működésének igazolására a Tina analízátor segítségével. A megvalósított kapcsolási rajzot az Altium Designer programmal rajzoltam meg, melynek használatát a munkám során sajátítottam el. A kész kapcsolási rajzból szintén az Altium Designer segítségével terveztem meg a nyomtatott áramköri kártyát. A feladat során figyelniem kellett a megfelelő földelések kialakítására a digitális és analóg rendszerek jelenléte miatt.

Abstract

The topic of the thesis is to design a digital audio bit stream analyzer for the Lightware Ltd., because there was a claim to improve an own device. To solve the problem, I had to use the digital signal processor (DSP) of type ADSP-21489 from Analog Devices. The analyzer should have both digital and analog audio interfaces.

For the design, it was necessary to understand the relevant digital audio standards. After getting acquainted with the selected DSP, I have designed the functional block-diagram of the analyzer. To realise the parts of the block-diagram, I had to specify the features of the interfaces according to the standards, and I also had to choose the most suitable integrated circuits for the project. To demonstrate the proper functionality of some parts, I made simulations with the Tina circuit simulator software. I designed the whole schematic with the Altium Designer software which one I had to learn during my work. From the schematic, I made the printed circuit board with Altium Designer too. In this task, I put special emphasis on establishing appropriate groundings, because there are both analog and digital devices in the system, and improper grounding may be the source of electrical noises.

1. Bevezetés

Szakedolgozatom megírására a Lightware Kft-nél kaptam lehetőséget, amely a világ egyik vezető gyártója a professzionális videótechnikai eszközök területén. Egy helyen történik a hardver megtervezése, a szoftver megírása és a kifejlesztett eszköz beüzemelése, bemérése. Mivel a videó jelekhez az esetek többségében kapcsolódik hang tartalom is, így ezeknek a mérésével is kell foglalkozni az eszközök üzembe helyezése, vagy hibadetektálása folyamán.

A cégnél felmerült az ötlet egy teljesen saját kézben lévő digitális audió analizátor megtervezésére és megépítésére, mivel a piacon elérhető tartalomanalizátor eszközök nehezen beszerezhetőek, és korlátolt képességgel rendelkeznek olyan szempontból, hogy csak a rajtuk futó program használható fel és nem bővíthetőek egyéb funkciókkal. A saját fejlesztésű eszközzel ezek a korlátok megszűnnek. A saját hardver tervezése az Analog Devices ADSP21489 típusú jelfeldolgozó processzor felhasználásával történt. Mivel a cégnél volt tapasztalat az ADSP21498-el és az eszköz rendelkezésre álló belső perifériái miatt a megfelelő interfészek illesztésével az adott feladat megoldható, így a választás indokolt. Az interfészek megtervezéséhez szükséges volt a digitális audió szabványokat megismerni. A szabvány megismerése a fizikai rétegnél többet jelentett, mivel majd az analízis során kinyert információkat értelmezni is kell (ez túlmutat jelen szakdolgozat témáján).

A feladat természeténél és a saját erőforrások korlátoltsága miatt a kitűzött cél a szabványok megismerése, a blokkvázlat és kapcsolási rajz megtervezése az alkatrészek körültekintő megválasztásával, és a nyomtatott áramkör megtervezése.

A dolgozatom a következőképpen épül fel. A második fejezetben ismertetem a megvalósítandó rendszer felépítését. A harmadik fejezetben a megvalósításhoz szükséges szabványokra térek ki. A negyedik fejezetben a tervezéshez felhasznált programokról és azok tulajdonságairól írok. Az ötödik fejezetben a rendszer komplett tervezésével foglalkozok, kezdve egy blokkvázlattal, amit lépésről lépésre kifejtek és elemzek. Ez a fejezet a dolgozat leghosszabb része. A hatodik fejezetben a nyomtatott áramkör tervezésének fontosabb lépéseire térek ki. A hetedik fejezet egy összefoglalás a munkámról.

2. Rendszerterv és specifikáció

A feladat célkitűzése egy olyan hardver megtervezése volt, amely képes fogadni a szabványos S/PDIF (Sony/Philips Digital Interface) adatfolyamokat, illetve az általuk hordozott csatorna információkat feldolgozni és analizálni. A vett jel analizálásán felül ezt a jelet tovább is kell fűzni, ami a DSP (Digital Signal Processor) közbeiktatásával történik, így lehetőség van a bitek manipulálására is, valamint saját adatfolyam előállítására egy bemenő jeltől.

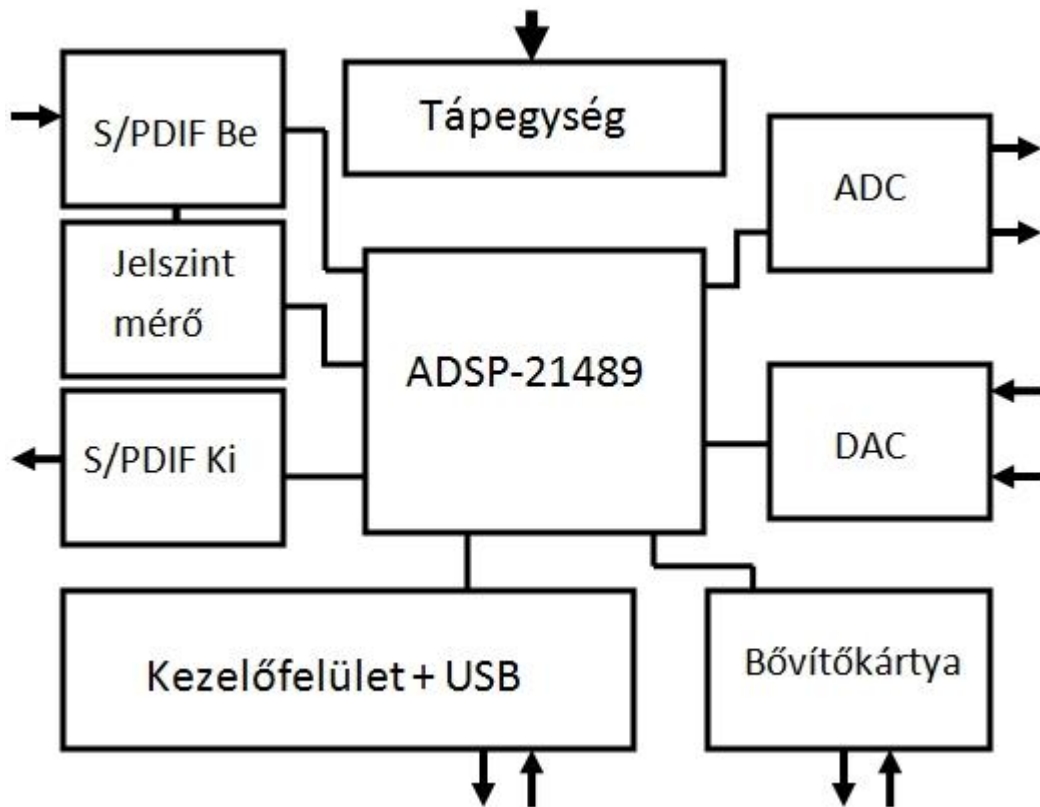
A feladatkiírásban szerepelt az AES3/EBU adatfolyam fogadása és továbbfűzése, viszont az interfészek között nem volt definiálva, így a céggel egyeztetve a professzionális digitális audió interfész egy bővítőkártyán kap majd helyet. A kapcsolási rajzát ettől függetlenül el kell készíteni. Ez a bővítőkártya a jövőben majd további lehetőséget biztosít a fejlesztésre amennyiben szükséges.

A tervezés során felmerült a bejövő S/PDIF jel feszültségértékének mérése, így valamilyen egységet a bemenetre illeszteni kell, úgy hogy ne zavarja azt.

A rendszernek rendelkeznie kell továbbá audió ki- és bemenetekkel. Ezek segítségével lehetőségünk lesz akár behallgatni az S/PDIF jelfolyamba, amennyiben az nem tömörített hangformátum, illetve egy analóg audió jelet továbbíthatunk LPCM (Linear Pulse Code Modulation) formátumban az S/PDIF vonalon. Mivel az egész keresztül van fűzve a DSP-n, így különböző szűréseket és modulációkat is képesek vagyunk megvalósítani. A be- és kimeneteken, egyaránt kezelni kell szimmetrikus (phoenix csatlakozó) és asszimmetrikus (RCA) jeleket is. Ezek megvalósításához biztosan szükségünk lesz analóg-digitális és digitális-analóg átalakítókra is.

Az eszközt vezérelnünk is kell, emiatt szükség lesz valamilyen kezelőfelületre. Tervezés során eldől, hogy egy előlapi panel lesz alkalmazva, amin található LCD kijelző, nyomógombok és egy USB csatlakozó. Az USB csatlakozót felhasználva és egy interfészt illesztve hozzá, a számítógéppel is tud majd kommunikálni az eszköz, így külön alkalmazások is fejleszthetők lesznek a PC oldalán.

A meglévő egységeknek szükségük van a megfelelő tápfeszültségre, így egy tápegységet is kell tervezni, ami biztosítja a szükséges feszültségeket és az eszközök által igényelt maximális áramokat. A tápegység tervezésénél ki kell választani a bejövő feszültség nagyságát és terhelhetőségét is.



2.1. Ábra: Rendszerterv

A 2.1-es ábrán megfigyelhetjük a rendszertervet. Összefoglalva a leírtakat, a rendszernek rendelkeznie kell:

- 1 db S/PDIF bemenettel,
- S/PDIF bejövő jelszint mérővel,
- 1 db S/PDIF kimenettel,
- 1 db szimmetrikus és 1 db aszimmetrikus audió kimenettel (sztereó),
- 1 db szimmetrikus és 1 db aszimmetrikus audió bemenettel (sztereó),
- valamilyen kezelőfelülettel és USB csatlakozással,
- tápegységgel.

Természetesen ezen kívül még sok más egység is kell a működéshez (JTAG, boot flash, stb.), de ezek majd csak a megtervezett blokkvázlaton lesznek feltüntetve. A rendszerterv lényege, hogy az olvasó egy átfogó képet kapjon a megvalósítandó eszközről.

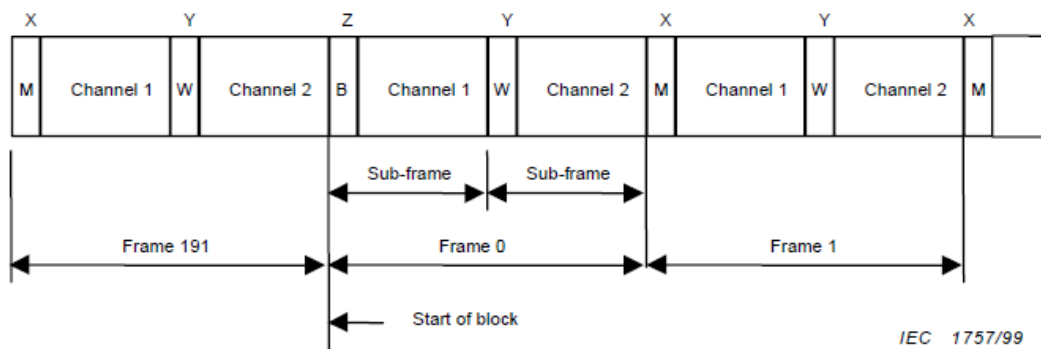
3. Szabványok

Ebben a fejezetben a célom, hogy az olvasó betekintést nyerjen a digitális audio szabványok alapvető működésébe és felépítésébe. Leírásom célja nem a csatorna státuszok minden bitjének magyarázata. Erre a dolgozat keretein belül nem lenne elég hely, illetve az ismertett anyagot nehezebben olvashatóvá tenné.

3.1. Általános ismertetés (IEC-60958) [1][2][3][4]

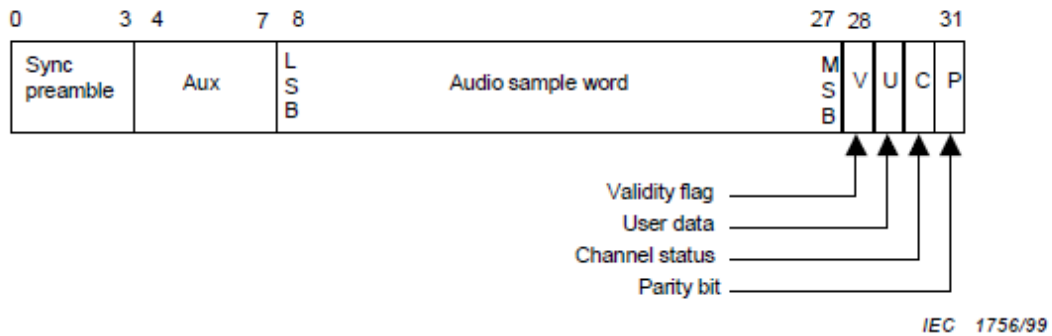
Ez a szabvány egy soros, egy irányú, önórajelző interface ismertetéséről szól, a digitális audio egységek összekapcsolására, mind professzionális, mind szórakoztató elektronikai (fogyasztói) felhasználásra. Elsődlegesen mono vagy sztereó hangszó továbbítására szolgál lineáris PCM kódolásban maximum 24 biten 22,05 KHz vagy a fölötti (maximum 192 kHz) mintavételi frekvenciával. A szabvány használható más kódolású audio jelek továbbítására is vagy számítógépes adatfolyamra, de ezek nem az IEC 60958 szabvány részei.

A jelátvitel blokkokból épül fel. 192 keret (frame) alkot egy blokkot. Lineárisan kódolt audio jelek esetében a keretek ismétlődése megegyezik a forrás mintavételi frekvenciájával. Egy keret felosztható két alkeretre (sub-frame). Egy alkeret pedig 32 bitből áll. Ezeknek a felépítését ismertetem a továbbiakban.



3.1. Ábra: IEC 60958 keretszerkezet [1]

Minden alkeret 32 bitnyi (0-31-ig) információt tartalmaz a következő felosztásban:

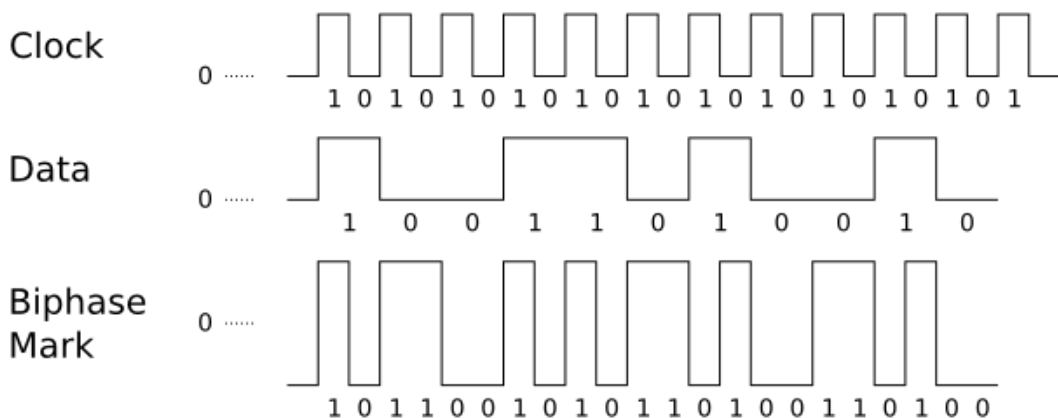


3.2. Ábra: Alkeret szervezése [1]

0-3 bit. szinkronizációs fejléc (preamble) :

Ez fogja azonosítani az alkereteket. 3 állapota van, illetve azok invertáltjai (attól függően használjuk, hogy a megelőző bit milyen értékű volt). Vagyis összesen 6 esetről beszélünk. Fontos, hogy ez a struktúra megszegi a BMC (Biphase Mark Code) kódolást, amivel az egész adatfolyam rendelkezik, így könnyen azonosíthatóak ezek a részek!

BMC kódolás [26]:



3.3. Ábra: BMC kódolás

Láthatjuk, hogy a BMC használata miatt a valós adatsebesség kétszeresére nőtt, így majd ezzel kell számolni az interfészek megtervezésénél. A kódolásnak az az előnye, hogy az egyenfeszültségű szintje 0 V átlagban nézve. Valamint alkalmas az önórajelzésre, így nem szükséges az órajelet továbbítani egy extra összeköttetésen.

4-27. bit Audio adat mező (fő adatmező (main data field)):

Egy mintavételezett értéket tartalmaz legtöbbször lineáris kettes komplementes kódolásban. Az átvitelt 20 bitesnek definiálták alapból, majd bevezették a 4.-től 7. bitig

történő kiterjesztett adatátvitelt. Így beszélhetünk maximum 24 bites átvitelről. Amennyiben a kódolás nem lineáris, vagy speciális esetben valamilyen adatot tartalmaz, szintén ezeken a biteken történik a továbbítása.

28. bit Érvényességi bit:

A fő adatmező érvényességének státuszát hordozza. Amennyiben érvényes a fő adatmező a vevő egység PCM jelként értelmezve dekódolja az adatot és lejátssza. Nem PCM jelek esetében ez az adatmező 0 értékű kell, hogy legyen!

29. bit Felhasználói adat bit:

1 bitnyi felhasználói információ az alkeret adatfolyamára vonatkozólag.

Az alapértelmezett értéke 0. Külön szabály érvényes a szórakoztató elektronikai (IEC60958-3) és a professzionális (IEC60958-4) alkalmazásokra.

30. bit Csatorna státusz bit:

1 bitnyi csatorna státusz információ az alkeret adatfolyamára vonatkozólag. A formátuma fix. 192 bites blokkba van szervezve 24 byte felosztásban. Ebben található minden fontos információ a hordozott adatfolyamról. A 0. bit értéke hordozza, hogy professzionális vagy szórakoztató elektronikai, az 1. bit pedig az adatfolyam formátumára utal, hogy lineáris PCM vagy más kódolású. Ez lesz a legfontosabb rész majd az analízator programozásakor. Ebből minden információ kinyerhető az adatfolyammal kapcsolatosan.

A 31. bit egy egyszerű paritás bit, amelynek a hibadetektálásban van szerepe.

A már említett csatorna státusz bit-ből álló tömb a legjelentősebb, hiszen ez alapján dől el, hogy milyen adatfolyammal van dolgunk. A 0. byte első része közös minden adatfolyamot tekintve. A fennmaradó rész mind a négy esetre különbözően van definiálva, természetesen helyenként átfedésekkel.

| Csatorna státusz 0. byte | | Specifikációk |
|--------------------------|-------|--|
| Bit 0 | Bit 1 | |
| 0 | 0 | IEC60958-3 (szórakoztató elektronikai lineáris PCM) |
| 1 | 0 | IEC60958-4 (professzionális lineáris PCM) |
| 0 | 1 | IEC61937 (AC3, MPEG, DTS, AAC, ATRAC), IEC 62105 (adat), ... |
| 1 | 1 | SMPTE 337M (adat), ... |

3.4. Ábra: Csatorna státusz első két bitje

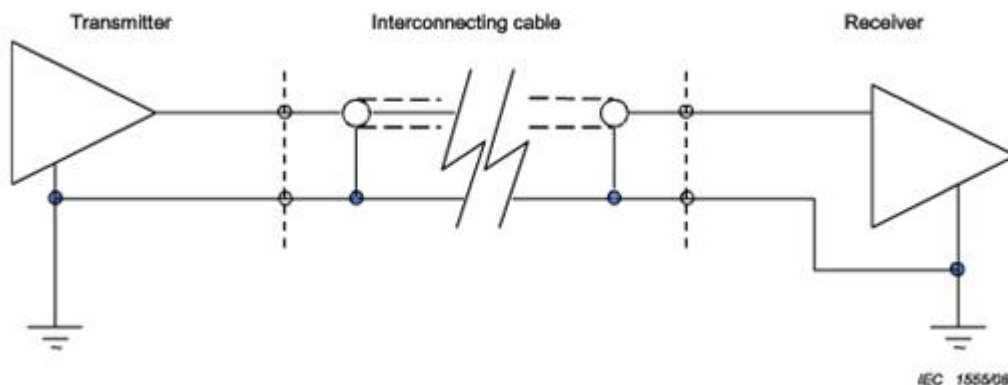
A 3.4-as ábrán látható táblázat első két esetében sztereó lineáris PCM átvitelről beszélünk, annyi különbséggel, hogy más átviteli csatornát és interfészt használnak (ez az S/PDIF és az AES3/EBU). A harmadik esetben tömörített adatfolyam továbbítása történik (ez szórakoztató elektronikai szabvány), a negyedik eset pedig csak adat továbbítható (professzionális szabvány szerint). Mind a négy átviteli módnál az eddig ismertetett keretformátum van használatban. Annyi kitérőt tennék, hogy a professzionális módon belül található még egy úgynevezett AES10-es szabvány is, ami gyakorlatilag 52 csatorna átvitelére biztosít lehetőséget, de az is ugyan ebből a keretrendszerből épül fel. Összefoglalva a 0. bit határozza meg, hogy szórakoztató elektronikai vagy professzionális rendszerből származik a jel, az 1. bit pedig a felhasználás módját, miszerint lineáris PCM vagy egyéb más kódolású az adatfolyam.

3.1.1. Szórakoztató elektronikai felhasználás fizikai rétege

Ez a leírás az S/PDIF fizikai rétegre vonatkozik, amit majd a tervezés során figyelembe kell vennünk.

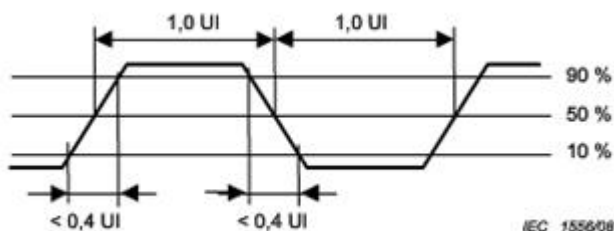
Az említett területen az adat továbbítás aszimmetrikus jelkábelben, illetve optikai kábelben keresztül történhet meg. Az időzítések közösek mind a két kábelre nézve. Három időzítési osztály van definiálva tűrés szerint, ami a csatorna státuszban van feltüntetve. Ez gyakorlatilag az előállított órajel pontosságára vonatkozik.

Az **aszimmetrikus kábelnek** árnyékoltnak kell lennie (75 ± 26.25) Ω -os névleges hullámimpedanciával, amit 0,1 MHz-től a maximális keretfrekvencia 128-szorosáig teljesítenie kell. A maximális keretfrekvencia 192 kHz, így 24,576 MHz-nek adódik a szabvány által előírt maximum.



3.5. Ábra: Aszimmetrikus szakasz felépítése [1]

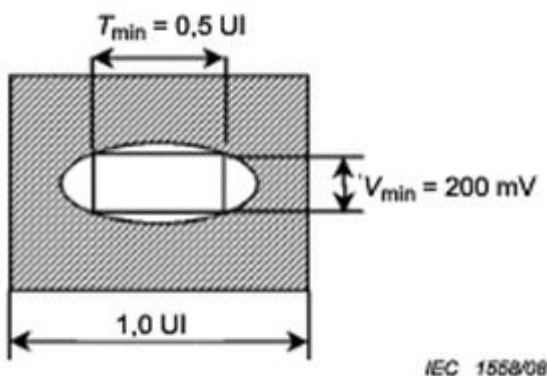
A **meghajtó áramkörnek** aszimmetrikus kimenettel kell rendelkeznie. Kimeneti impedanciájának $(75 \pm 15) \Omega$ -nak kell lennie 0,1 MHz-től a maximális keretismétlődési frekvencia 128-szorosáig. Kimeneti jelszintjének $(0,5 \pm 0,1) \text{ V}$ közé kell esnie, úgy hogy nincs kábel csatlakoztatva az adó egységre, csak egy $(75 \pm 0,75) \Omega$ -os lezáró ellenállás. A kimeneti egyenfeszültség nem haladhatja meg a 0,05 V-ot, úgy hogy a kimeneten szintén az előbb leírt elrendezés található. A felfutási és lefutási időre vonatkozó megkötések az alábbi ábra tartalmazza.



3.6. Ábra: Felfutási és lefutási idők [1]

Maximális jittert maximum 0,05 UI-nek (Unit interval) határozták meg. A jitter az órajel bizonytalanságát jelenti. Ezt a kész áramkörben csak mérésrel tudjuk majd meghatározni, mind a kimeneten, mind a bemeneten. Az UI jelentése az ábráról leolvasható. Gyakorlatilag a periódusidő felét jelenti, vagy az 1 bit-hez tartozó időegységet.

A **vevő** bemeneti impedanciájának alapjában véve rezisztívnek kell lennie $(75 \pm 3,75) \Omega$ közötti értékkel 0,1 MHz-től a maximális keret frekvencia 128-szorosáig. A maximálisan elfogadott bemeneti jelszint 0,6 V csúcstól csúcsig (megegyezik az adó maximális kimenő jelszintjével). A minimális vételi jelszint, amiből még pontosan értelmeznie kell az adatokat az alábbi szemábrán látható.



3.7. Ábra: Vevőre vonatkozó szemábra [1]

A szemábrából látszódik, hogy a vevő minimális vételi jelszintje 200 mV és a bejövő jelet 0,5 UI alatt értelmeznie kell. Ebbe beleszámít a bejövő jel jittere, a felfutási ideje és az amplitúdója is.

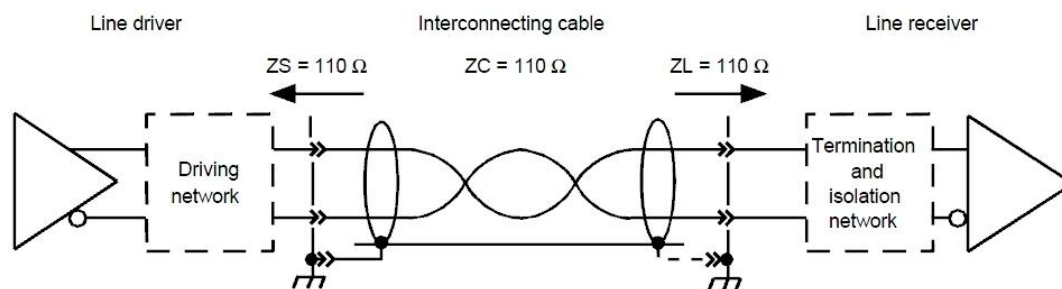
Az adó minimális jelszintje 0,4 V, vagyis az átviteli kábelünk csillapítása maximum 6 dB lehet a teljes szakaszra nézve. A 75 Ω-os digitális audió átvitelhez árult koaxiális kábelek csillapításából adódóan ez pár 10 m távolságot jelent 192 kHz-es maximális mintavételi frekvencia mellett. Amennyiben javítunk a kábel csillapítási tényezőjén, úgy ez a távolság növekszik.

3.1.2. Professzionális elektronikai felhasználás fizikai rétege

Ez a szabvány az AES3/EBU interfészek specifikációjának felel meg.

A jeltovábbítás az esetek legnagyobb részében szimmetrikus kábelen keresztül történik. Ezen felül még van az aszimmetrikus (koaxiális) kábel is, amit nagyobb távolságokra vagy magasabb mintavételi frekvenciákra alkalmaznak (AES-3id-2001).

Ezt az átviteli módot maximum pár száz méterig alkalmazzák. Az összekötő kábelnek szimmetrikusnak és árnyékoltnak kell lennie 110 Ω-os névleges hullámimpedanciával, amelyet 0,1 MHz-től a maximális keret frekvencia 128-szorosáig kell teljesítenie.



3.8. Ábra: Szimmetrikus szakasz felépítése [2]

Az **adó** áramkörnek szimmetrikus kimenettel kell rendelkeznie $110 \Omega \pm 20\%$ kimeneti impedanciával 0,1 MHz-től a maximális keretfrekvencia 128-szorosáig. Kimeneti jelszintjének 2 V és 7 V között kell maradnia csúcstól csúcsig, úgy hogy a kimenetére közvetlenül egy $110 \Omega \pm 1\%$ értékű ellenállást kötünk. Bármely közös módusú komponensnek legalább 30 dB-el kisebbnek kell lennie a kimeneten, mint a hasznos jelfolyam. Ezt az értéket szintén 0,1 MHz-től a maximális keretfrekvencia 128-szorosági tartania kell. A le és felfutási idők a jel amplitúdójának 10% és 90%-a közé van

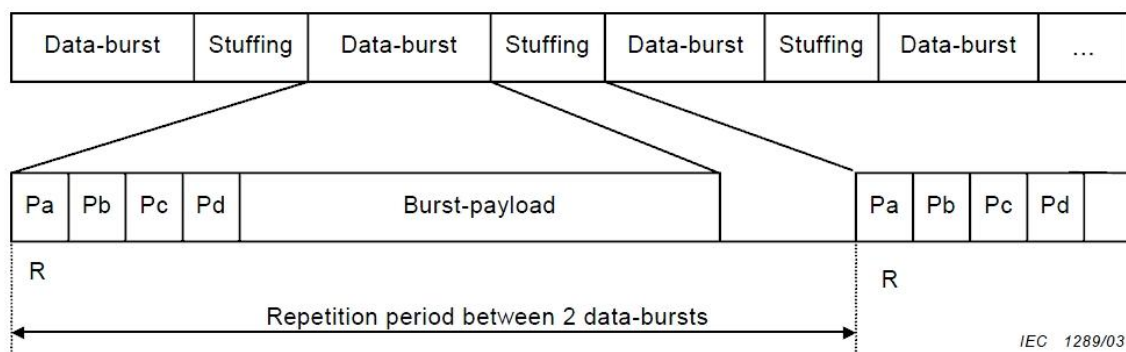
definiálva. Ennek az értéke 5 ns és 30 ns közé kell esnie (amennyiben 5 ns alá megyünk, a szemábra javul, viszont az EMI nőni fog). Ezt az értéket szintén közvetlenül a kimeneten egy 110 Ω -os lezárással kell mérni. A maximális jitter nem lehet nagyobb 0.025 UI-nál, amikor a megadott karakterisztikájú szűrővel mérik azt.

A **vevő** bemeneti impedanciájának alapján véve rezisztívnek kell lennie 110 $\Omega \pm 20\%$ közötti értékkel 0,1 MHz-től a maximális keret frekvencia 128-szorosáig. A maximálisan elfogadott bemeneti jelszint 7 V csúcstól csúcsig (vagyis az adó maximális kimenő jelszintje). A minimális vételi jelszint, amiből még pontosan értelmeznie kell az adatokat, az megegyezik a szórakoztató elektronikára vonatkozó értékekkel ($V_{\min} = 200$ mV, $T_{\min} = 0,5$ UI). Amennyiben az összekötő vezetékünk hosszabb 100 m-nél, abban az esetben a vevőben kiegyenlítő áramkört kell alkalmaznunk. Ez gyakorlatilag egy frekvenciafüggő erősítés. Erre van egy javaslat a szabvány leírásában.

3.2. Nem lineáris PCM kódolások (IEC 61937) [5][6]

Az IEC 61937-es szabvány az IEC 60958-as szabvány keretrendszerét használja fel, annyi különbséggel, hogy nem lineáris PCM jelet továbbít rajta. Felépítésében teljes mértékben megegyezik az előbbieken leírtakkal.

Az adattovábbítás szintén az audió biteknek fenntartott helyen történik. Mivel kevesebb átviteli sebesség is elég a tömörített formátum átviteléhez, mint amit az IEC 60958-as szabvány támogat (192 kHz*24 bit*2 = 9,216 Mbit/sec), ezért 24 helyett csak 16 biten történik az adatátvitel. A többi nem használt bit értéke logikai „0”. Az átvitel adat burst-ökben (csomag) történik, és ebben található a kódolt audio jel adott számú csatornája (maximum 8 független adatfolyam lehet, időmultiplexálva). Az átvitt csatornák száma mindig a kódolás típusától függ. Az adatburst-ök között található úgynevezett stuffing, ebben nem található semmilyen információ, az csak kitöltésre szolgál (logikai „0”). Minden adatburst egy 64 bites fejléccel kezdődik, amit a burst payload követ. A fejléc szinkronizációs szavakat, és információkat tartalmaz a burst payloaddal kapcsolatban. Mivel a fejléc 4 x 16 bit-en van ábrázolva, így az pontosan két IEC 609085 keretben található. A burst payload tartalmazza a kódolt jelfolyamot. Ennek a szemléltetése a 3.9-es ábrán figyelhető meg.



3.9. Ábra: IEC 61937 adatfolyam [5]

Azt ne felejtjük el, hogy ez az egész adat burst és stuffing az alap keretrendszer (IEC 60958) 16 bit-jében található és abból épül fel. Az előzőleg említett burst fejléc az ábrán a Pa, Pb, Pc és Pd jelölésű rész. Ebből az első kettő szinkronizációs szerepet tölt be, a maradék kettő pedig tartalmazza a burst payload, illetve az adatburst tulajdonságait. Ilyen jellemző a burst payload hossza, adott referencia pontja az adatfolyamban, illetve a tömörített adatfolyam típusa. Továbbá az adatburst-nek is három típusa van, de ez nem szükséges a megértéshez. Az IEC 61937 szabvány csak az alábbi tömörítési típusokat ismeri:

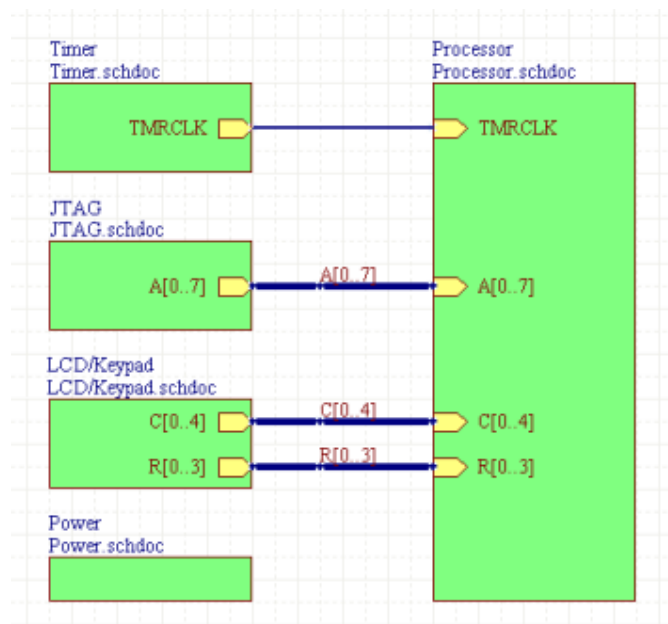
- AC3 (IEC 61937-3),
- MPEG audio (IEC 61937-4),
- DTS (IEC 61937-5),
- AAC (IEC 61937-6),
- ATRAC, ATRAC2/3 (IEC 61937-7),
- WMA Pro (IEC 61937-8),
- MAT (IEC 61937-9).

Ezzel el is értünk a szabvány korlátjához. Mivel egy mai korszerű rendszer kialakításában gyakran találunk 7.1-es vagy a feletti kialakítást, aminek már nem ez a szabványa, így ezzel nem kompatibilis az S/PDIF jelfolyamunk. Bár a DTS-HD maximális sebessége 5760 kbps (Kilo Bit Per Second), amire még az IEC 90658 alkalmas lenne bőven (~9 Mbps), nem került bele ebbe a szabványba. Több ilyen szabványt is találunk, amely nem található meg az IEC 61937-esben.

4. Fejlesztőeszközök

A kapcsolási rajzot, és a nyomtatott áramkör tervét a Lightware Kft. által használt Altium Designer programmal terveztem meg. A szoftver támogatja a moduláris tervezést, így egy blokkvázlatból kiindulva külön-külön megrajzolhatjuk az egyes blokkok kapcsolási rajzait. A módszerrel fordíthatunk is, miszerint először a kapcsolási rajzokat készítjük el, és azokból definiálunk blokkokat. A szoftver nagymértékben nem tér el az általános tervezőrendszerektől.

Tervezési módszernél lehetőségünk van globális, illetve hierarchikus szemlélet közül választani. Előbbinél az összes azonos nevű net összekapcsolódik a különböző kapcsolási rajzok között, utóbbinál értelem szerűen csak az adott kapcsolási rajzon kapcsolódnak össze. Ezen felül választható, hogy a tápvezetékek globálisak legyenek. Amennyiben a hierarchikus módot választottuk ki, úgy a különböző blokkok (kapcsolási rajzok) között portokkal, buszokkal, illetve úgynevezett kábelkorbáccsal (harness) definiálhatunk összeköttetést.

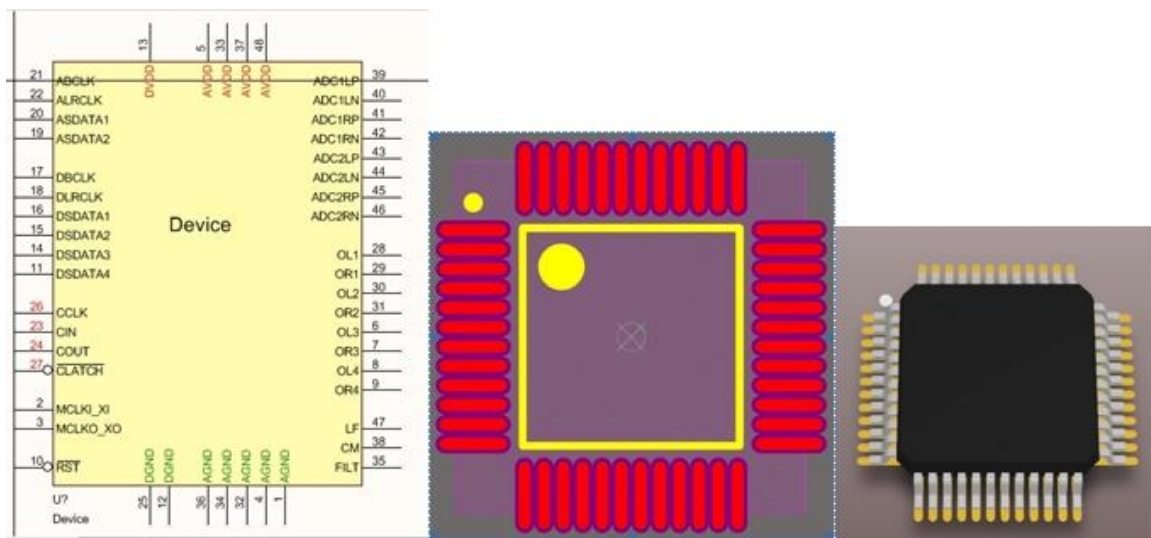


4.1. ábra: Moduláris kialakítás

A 4.1. ábra egy példát mutat a moduláris felépítésű kapcsolásra, melynek a felső egysége egy port-tal van összekötve, a maradékok pedig buszokkal. A tápegység bekötés nélkül van feltüntetve, mivel a rendelkezésre álló feszültségei globálisnak lettek definiálva. A kábelkorbács annyiban tér el a busztól, hogy az bármilyen típusú vezetéseket képes egy egységbe összefogni, így átláthatóbbá téve a tervünket. A buszban

csak a vezeték számozása térhet el, a nevük nem. Megjegyzem, hogy a fenti ábrán az összes összekötött port, és busz neve csak a jobb átláthatóság miatt azonos.

A kapcsolási rajz megrajzolásához az összes előzetesen kiválasztott alkatrész ábrája és a tokozásához rendelt úgynevezett footprint-jére szükség van. Mivel a cégnél a belső online adatbázishoz nem férhettem hozzá, ezért ezeket mind nekem kellett összerendelni és kiválogatni, továbbá a Lightwarenél nem használt alkatrészeket az adatlapból található információk alapján megrajzolni. Az Altium rendelkezik pár alap alkatrésszel, illetve különböző gyártói áramkörök letölthetőek egy webes felületről, viszont ezek a szimbólumok és footprint-ek nem egyeznek a belső Lightwares szabványokkal, így nem használhatóak módosítás nélkül. Létre kellett hozni egy „integrated library”-t, ami egy schematic-ból, és egy PCB-ből áll. A schematic tartalmazza az adott áramkör rajzjelét, ami a kapcsolási rajzon szerepelni fog, illetve a kivezetéseit. A pcb-ben pedig az alkatrészek footprint-je található. Következő lépésben össze kell rendelni az adott áramköri modellt a saját footprint-jével. Mivel az altium támogatja a 3 dimenzióban való tervezést, így minden tokozásához tudunk rendelni egy 3 dimenziós modellt (.step kiterjesztés).



4.2. ábra: Példa alkatrész definiálásra

A 4.2-es ábrán egy ADC/DAC átalakító szimbóluma, footprint-je, és 3 dimenziós tokozása látható. A lábak összerendelését a program végzi automatikusan, így a lábakat a valóságnak megfelelő sorrendben kell elhelyezni. Amennyiben van thermal pad az áramkör alján, akkor a szimbólumrajzolásnál egy rejtett lábat kell létrehoznunk, és

összerendelni a thermal pad-el. Amikor ezt az áramkört beillesztjük a kapcsolási rajzba, definiálni tudjuk, hogy a hűtőzászló hova csatlakozzon (pl.: GND).

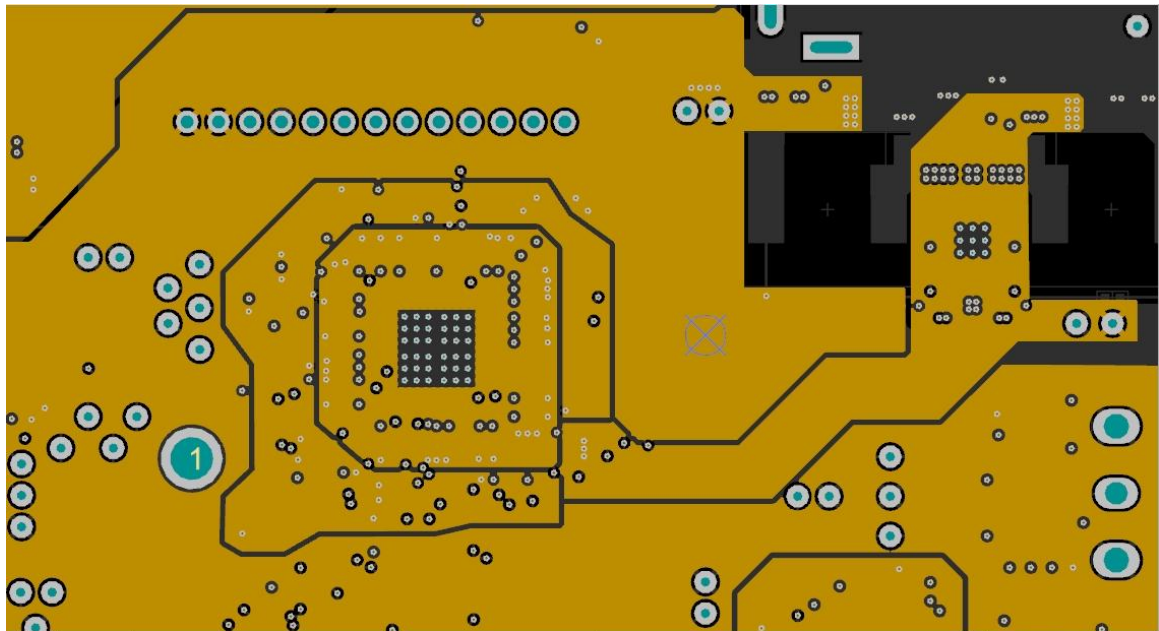
A kapcsolási rajz összeállítás után az alkatrészeknek azonosító számozást generál a program, az általunk előre meghatározott sorrend alapján. Következő lépésben le kell fordítani a programmal a tervünket. Lényegében ekkor dolgozza fel a bevitt rajzunkat. Neveket generál az összeköttetéseknek, ellenőrzi, hogy minden alkatrész minden lába használva van, minden alkatrészhez van footprint rendelve, figyeli, hogy minden bemenetként definiált láb kap vezérlést, illetve minden power (tápegység) típusú láb kap feszültséget. Ezek a fontosabb ellenőrzések. Be lehet állítani, hogy milyen hibákat figyeljen, illetve melyiket írja kritikus hibának, vagy esetleg egy egyszerű figyelmeztetésnek.

Amennyiben minden jelzett hibát kijavítottunk, létrehozhatunk egy PCB file-t. A leendő áramkör rétegrendjét itt definiálnunk kell (pl.: 4 rétegű), majd egy szinkronizáció segítségével az összes alkatrészünk tokozását megjeleníti összetartozó halmazokban. A tervezés folyamán a program menet közben ellenőrzi minden paramétert, amit egy előzetesen létrehozott szabályrendszerben definiáltunk (rules). Itt vannak alapértelmezett szabályok, de tetszőleges mennyiségűt hozzá lehet rendelni, és bármelyik módosítható. Szabály van a vezetékek (track) közötti izolációs (minimális) távolságra, a viák minimális és maximális furatának méretére, a pad-ek méretére. Jóval több szabály áll rendelkezésünkre, mint amennyit egy nyomtatott áramkör gyártással foglalkozó cég rendelkezésünkre bocsájt, hogy gyártható legyen náluk a panel.

A tervezést két megjelenítőn célszerű végezni, mivel létezik egy „cross select” mód, ami az általunk a PCB-n kijelölt alkatrészt kijelöli a kapcsolási rajzban vagy fordítva. Az alkatrészek elhelyezésénél további előny, hogy ha a kapcsolási rajzban egyesével kijelölünk több alkatrészt, akkor azt ugyan abban a sorrendben az alkatrész megkeresése nélkül a „kezünkbe” adja a program, és amint elhelyeztük, a következő alkatrésszel teszi ugyan ezt, így nagyban megkönnyítve a tervezési folyamatot.

Mivel a program támogatja a teljesen 3 dimenziós tervezést, ezért a gépészekkel való együttműködést megkönnyíti. Ennek megfelelően egy tervezett áramkörhöz könnyebben lehet egy adott dobozolás rajzolni, mivel az összes csatlakozó pozíciója rendelkezésre áll.

Külön kiemelném a nyomtatott áramkör tervezés közbeni egyrétegű (single layer mode) nézetét. Ilyenkor lehetőségünk van csak egy az általunk kiválasztott réteget vizsgálni. Ebben az esetben a többi réteg teljesen transzparens. Ezzel a lehetőséggel sok dolgot tudunk ellenőrizni. Megnézhetjük, hogy a viák rétegenként hova csatlakoznak, milyen lesz a lötstop lakk réteg. Gyakorlatilag elő-gerber nézetként használhatjuk. Ez a megjelenítési forma a 3 dimenziós tervezés közben is használható. Így a csatlakozási pontok sokkal szemléletesebben látszódnak.



4.3. Ábra: Belső tápréteg egyréteges szemléletmódban

Az Altium Designer természetesen rengeteg olyan funkcióval rendelkezik, amelyet nem volt alkalmam megismerni a tervezés során. A félévem alatt teljesen a nulla szintről kellett elsajátítanom a program kezelését, így sajnos csak a legfontosabb részeibe kaphattam betekintést. Egyes fontosabb lépéseire a nyomtatott áramkör tervezésénél kitérek.

A másik általam használt eszköz a Tina szimulációs program volt. Ezzel a programmal lehetőség nyílik különböző aktív és passzív áramkörök analizálására. Az általam használt legfontosabb funkciói az adott válaszjelre kapott kimeneti tranziens, illetve a Bode diagramos átviteli karakterisztika számolása volt. A programmal lehetőségünk van nem ideális áramkörök modellezésére is. Egyes áramkörök szimulációs modellje a gyártó honlapjáról sok esetben elérhető. Itt úgynevezett spice modelleket tudunk importálni.

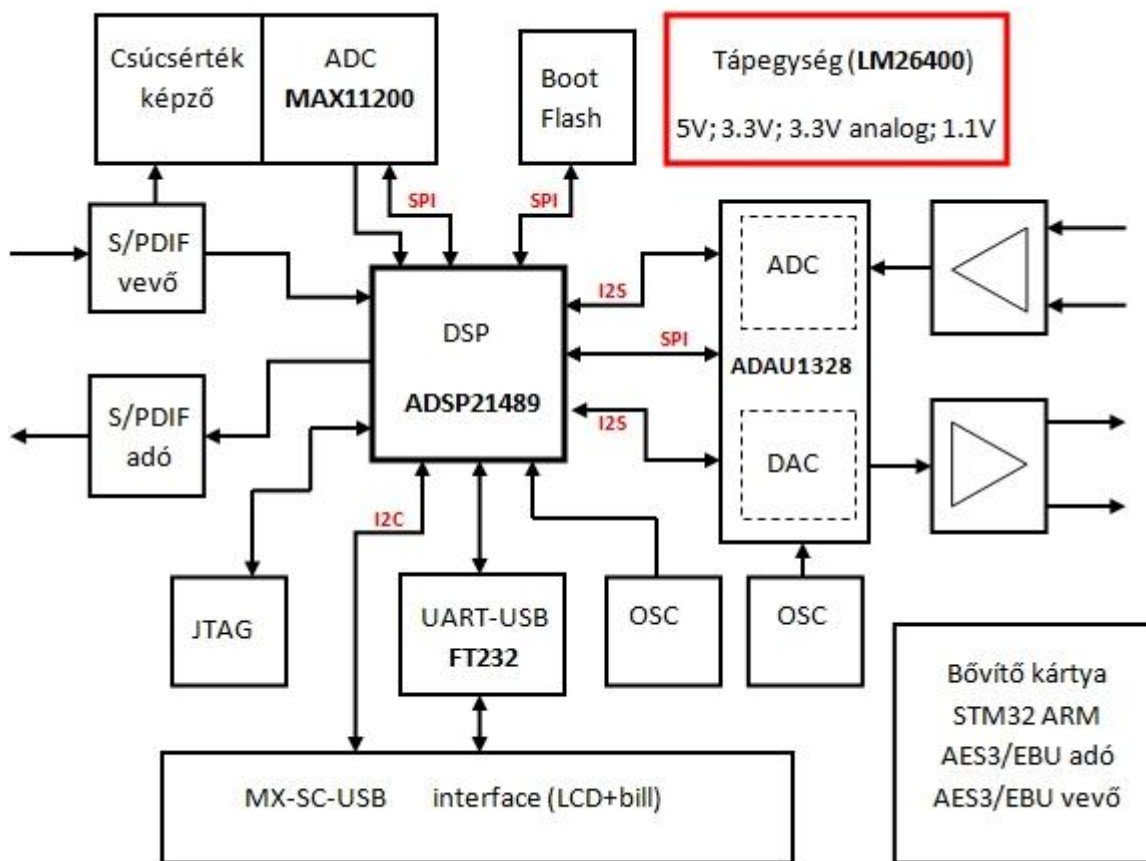
Számomra a program használata a ki és bemeneti interfészek tervezése során volt szükséges. Tipikusan ilyen volt az S/PDIF vevő áramkör, és a digitális analóg átalakító kimenetén található műveleti erősítős kapcsolások modellezése, valamint az aszimmetrikus-szimmetrikus átalakító áramkör.

5. A megvalósított rendszer

Ebben a fejezetben a tervezés pontos menetét fogom ismertetni. Kitérek az alkatrészválasztásra, és egyes esetekben áramköri szimulációkkal fogom az adott áramkör működését alátámasztani. Az egyes kommunikációs protokollokat is ismertetni fogom, amelyek szükségesek az áramkörök működéséhez.

5.1. Blokkvázlat

A tervezés az előzetes leírt specifikációból és rendszertervből indult ki. Ezt pontosítja tovább a megvalósított blokkvázlat. Ez a terv már tartalmazza a fontosabb alkatrésztípusokat és az egyes összeköttetések kommunikációs protokolljait is.



5.1. Ábra: Blokkvázlat

Mivel a feladatkiírásban szerepelt az AES3/EBU adatfolyam fogadása és továbbfűzése, viszont az interfészek között nem volt definiálva, így a céggel egyeztetve a professzionális digitális audió interfész a bővítőkártyán kap majd helyet.

A soron következő leírásokban az ábrán látható szabványok rövid ismertetése után, az egyes elkülönülő részegységekkel fogok foglalkozni.

5.2. Kommunikációs szabványok

5.2.1. SPI

Az SPI (Serial Peripheral Bus) egy szinkron soros adatátviteli mód. Alapvetően rövid szakaszon (nyomatott áramkörön belül) való kommunikációra fejlesztették ki. A rendszerben mindig van egy kitüntetett master, aki adja az órajel ütemezést és az engedélyező jelet (vagy jeleket). Az átvitelt úgy képzelhetjük el, hogy két shift regiszter sorba van kötve, és így a két regiszter tartalma helyet cserél az órajelezés hatására. Így egy időben a master adatot küld a slave-nek, illetve a slave-től adatot is fogad. Minden a kommunikációban résztvevő egységnek 4 db ki/bemenete van:

- SCLK (master órajel),
- MOSI (master kimenet, slave bemenet),
- MISO (master bemenet, slave kimenet),
- SS (slave engedélyezés).

Amennyiben egy master több slave-t is meghajt, úgy két lehetséges megoldás van. Az egyik, hogy mindegyik slave kap egy különálló engedélyező jelet a master-től, és a többi összeköttetést (SCLK, MOSI, MISO) minden slave-be párhuzamosan bekötünk. Amíg egy slave nem kap engedélyező jelet, addig érzéketlen az órajelre, és a bejövő adatfolyamra. Hátránya, hogy a master-től minden egységhez külön engedélyező jel kell. Ezt a bekötési módot használtam az analizátor egységeinél is.

Másik lehetséges mód a multi slave-es rendszerben, az úgynevezett daisy chain, amikor az összes slave-nek közös az órajele, és az engedélyező jele is. A MOSI és MISO lábak pedig sorba (láncba) vannak kötve.

Beszélhetünk még több master-es rendszerekről is, de mivel az a tervezés során nem merült fel, nem ismertetem.

Az SPI kommunikáció tipikus maximális sebessége pár MHz-es tartományba esik. Jelen esetben az ADC/DAC maximum 10 MHz, az S/PDIF bemeneten lévő ADC maximum 5 MHz, és a flash memória maximum 25/50 MHz-es (gyors olvasás 50 MHz) órajellel képes kommunikálni.

5.2.2. UART

Rövidítése az univerzális aszinkron adó-vevőnek. Nevéből adódóan mivel aszinkron az adatátvitel folyamán a bit órajelet nem továbbítják, így elég 1 db összeköttetés adás, és vétel irányban is (a földelésen (referencia) kívül). Az adatátvitelt a start bit jelzi, amelyet 5-8 adat bit követ. Opcionális az adat bit-ek után a paritás bit, majd a kötelező stop bit jelzi az üzenet végét.

Ilyen adatfelépítéssel kommunikál az RS 232, RS 422, RS 485 és az IrDA szabvány is. A különböző szabványok az eltérő fizikai rétegek és adatátviteli sebességek miatt más-más távolságok áthidalására alkalmas.

5.2.3. I2C (TWI)

Más néven a TWI (Two wire interface) egy kétvezetékes szinkron adatátviteli rendszer. Minden egység párhuzamosan, open-kollektoros meghajtással csatlakozik a vezetékhez, így a domináns jelszint a logikai „0” lesz. A kétvezetéket SCL-nek (Serial Clock Line), és SDA-nak (Serial Data Line) nevezik, amelyek egy felhúzó ellenállással a pozitív potenciálra vannak kötve, az open-kollektor miatt. Mivel minden egység párhuzamos a rendszerben, ezért mindenkinek van egy saját címe, amelyet minden esetben az éppen aktuális master áramkör címez meg. Mivel csak a master végezheti az órajelgenerálást, így csak ő tud írni és olvasni is. A rendszer sajátossága, hogy egyszerre több master is csatlakozhat a vonalra (master lehet vevő is), és akár együttesen is elkezdhetik a busz-meghajtás folyamatát. Mivel az I2C kommunikáció egy start bit után az eszközcímzéssel kezdődik, ezért mindig az a master fogja megkapni a vezérlés jogát, amelyik a legalacsonyabb sorszámú eszközt címezte meg. Az a master amelyik érzékeli, hogy az általa kiadott adat nem egyezik meg a buszon lévővel (ütközés detektálás), abbahagyja az adást, és kiszáll a versengésből (arbitráció) a következő periódusig. Lehetőség van úgynevezett „general call” utasításra, amellyel az összes slavenek lehet egyszerre adatot küldeni. Ezen kívül három féle címzés van: az írás, olvasás és egy kevert mód, ahol egy cikluson belül írni, és olvasni is lehet a slave-et.

A buszon lévő eszközök maximális számát a maximális 400 pF-os buszkapacitás határozza meg. Az I2C protokollt szintén nyomtatott áramkörön belüli kommunikációra alkalmazzák, mint az SPI vonalat. Tipikusan mikroprocesszorok, memóriák, kijelzők, AD és DA átalakítók között. Átviteli sebessége 100 kbps-től 3400 kbps-ig terjed.

5.2.4. I2S

Teljes kiírásában „inter-IC sound” busz. Soros adat összeköttetést valósít meg két eszköz között audió jel továbbítására. Az alap koncepció háromvezetékes csatlakoztatást igényel:

- SCK (Serial Clock) vagy BCLK (Bit Clock),
- WS (Word Select) vagy LRCLK (Left-Right Clock),
- SD (Serial Data).

Amelyik egység az SCK és WS órajeleket előállítja, azt nevezzük master-nek. Az SCK adja az ütemezést a bitek küldéséhez, a WS pedig a megkülönbözteti a két csatornát, amely az SD (adat) vonalon időmultiplexálva van. Így egy adat vonalon 2 db csatorna továbbítható. Amennyiben a rendszerben több csatorna is található, úgy elegendő csak az adatvonalak számát bővíteni, ha azokat egymással szinkronban használjuk. Az audió formátumot általában 16-24 bit-es felbontással szokták továbbítani.

5.3. Digitális jelfeldolgozó processzor

A feladat kiírásból adódóan ennek az egységnek a pontos típusát a Lightware Kft. előzetesen meghatározta, így az adatlapjának a tanulmányozásával folytatódott a tervezés. Elsődlegesen a 68 oldalas adatlapot [7] vizsgáltam, amiben a 2148x-es család tagjai vannak leírva. Ebből megtudhatjuk az eszköz lényegesebb tulajdonságait.

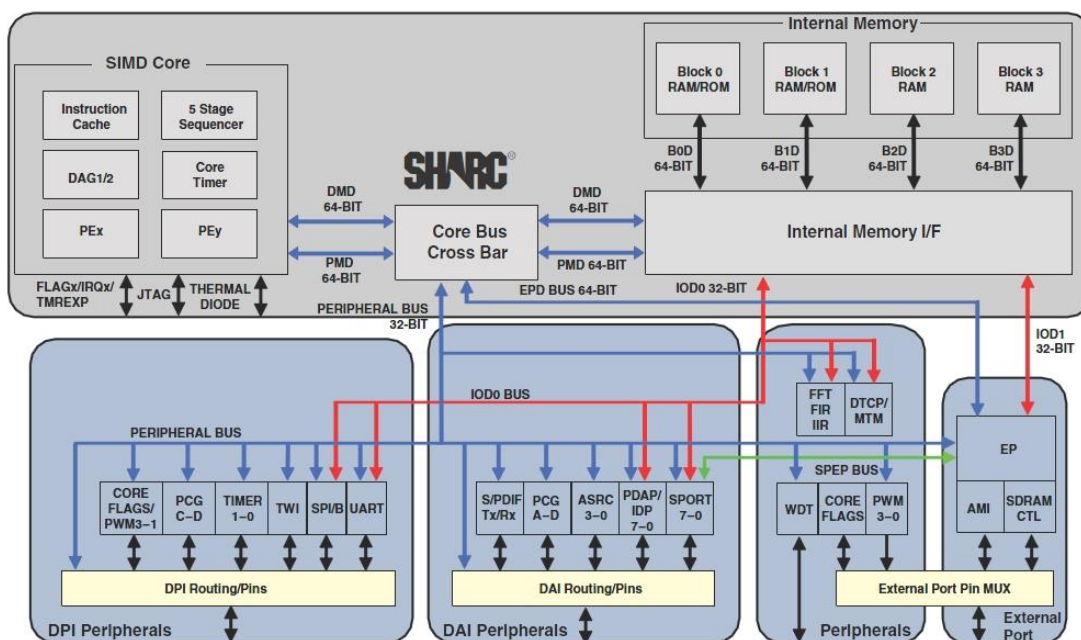
5.3.1. Belső felépítés

A választott áramkört az Analog Devices cég gyártja, és SHARC névre keresztelték ezt a digitális jelfeldolgozó processzor (DSP) családot. A SHARC egy rövidítés a „Super Harvard Architecture Computer” kifejezésre.

A Harvard architektúra lényege abban rejlik, hogy a program és adatmemóriát különválasztották. Mind a két memóriához külön adat és cím busz tartozik, amelyeket a processzor egyidejűleg képes kezelni. Így a párhuzamos adatbuszok miatt növekedett a teljesítmény. További előnye, hogy külön az adat és külön a program memória busz szélessége optimalizálható a tervezett felhasználás szerint. Nem szükséges egyforma szélesnek lenniük (pl.: adat 8 bit, program 12-15 bit), de még a memória típusa is eltérhet. A kialakításból adódik, hogy nem keveredhet össze az adat és a program. Ennek egy továbbfejlesztett változata a módosított Harvard architektúra. Itt az utasítások és adatok

elválasztása már nem olyan szigorú. A programmemória is képes adatokat tárolni, illetve képesek vagyunk megváltoztatni a programkódot működés közben, vagy adatot programkódként értelmezhetjük. Ezt a módosított Harvard architektúrát használják a mikrokontrollerek és a digitális jelfeldolgozó processzorok többsége.

A szuper Harvard architektúra a jelfeldolgozó processzor belső felépítésére utal. Nem hoztak létre külön program és adat memóriát, hanem egy darab nagy méretű statikus memória felel a programok és adatok tárolásáért (4 blokkra felosztva, amelyek tetszőlegesen használhatók). További újítás, hogy létrehoztak második egységként egy I/O processzort, amely a ki és bemeneti egységek kezelésével foglalkozik, és külön dedikált adatbuszokkal rendelkezik, így növelve a processzor teljesítményét.



5.2. Ábra: ADSP-21489 blokkvázlata [7]

A 5.2-es ábra felső részén láthatjuk rendszer központi részét. Ez tartalmazza a SIMD (single instruction multiple data) magot, amely magába foglal két különálló feldolgozó egységet (PE_x, PE_y), két adatszám generátort (DAG1, DAG2), egy központi időzítőt, utasításgyorsító tárat, és egy 5 lépcsős program szervezőt. Itt helyezkedik el az esetünkben 5 Mbit méretű statikus memória, amely négy különböző részre van tagolva, így könnyítve meg az adat és program elkülönítését. Minden részegység akár különböző szóhosszal is használható (16-bit, 32-bit, 48-bit, 64-bit). JTAG-en keresztül ehhez a központi egységhez férünk hozzá.

A SIMD magon belül mindkét feldolgozó egység (PE_x, PE_y) rendelkezik saját aritmetikai logikai egységgel, szorzóval, barrel shifter-rel, és adatregiszterrel. A SIMD lényege, hogy mind a két feldolgozó egység ugyanazt a műveletet végzi el különálló adatokon. Mivel két adatkím-generátor (DAG) is található az egységen belül, így a két processzor által kiszámolt két végeredményt képes a memóriába juttatni egy írási ciklus alatt, így megduplázva a sávszélességet.

A maximális belső órajel 450 MHz lehet, így a DSP maximálisan 2,7 GFLOPS-ra képes. Ez azt jelenti, hogy $2,7 \times 10^9$ db lebegőpontos számításra képes másodpercenként.

A DSP második része a perifériás egység, vagy más nevén az I/O processzor. Ez az 5.2-es ábrán, az alsó részen található 4 db különálló blokk. A két IOD busz a periféria és a külső bővítő portok memóriával való közvetlen kapcsolatáért felelősek (DMA). A másik két busz a perifériák és a portok, rendszermaggal való összeköttetését látja el. Rendelkezik egy külső memória-illesztő egységgel, amellyel különböző típusú memóriák (SDRAM, DRAM) illeszthetőek könnyen. Ez csak a 176 lábú tokozás része. A két fontosabb egység az úgynevezett DAI (Digital Application Interface), és DPI (Digital Peripheral Interface). Mind a két egység rendelkezik egy SRU-val (Signal Routing Unit) közvetlenül a perifériák kimenetén. Ez egy bonyolult kapcsolómátrix, amely képes bármely (egy táblázat alapján) lábat összekötni bármelyik perifériával, illetve bármelyik belső perifériát összekötni egy másikkal belső huzalozáson keresztül. Ezek az összeköttetések csak azonos egységeken belül működnek (DAI és DPI).

A DPI-n belül található 2 db SPI interfész, 1 db UART (Universal Asynchronous Receiver-Transmitter), 12 db flag, 1 db TWI (I²C) interfész, 3 db PWM generátor, és 2 db általános célú időzítő. Ezekkel az egységekkel különböző kommunikációs protokollokat tudunk könnyen megvalósítani, mivel rendelkezésre áll hardver formájában.

A DAI perifériában több audió felhasználással kapcsolatos egység került integrálásra.

Található 8db SPORT (synchronous Serial Port), amely a legtöbb analóg digitális, és digitális analóg átalakító szabványokat ismeri (I²S, TDM, packed I²S, Left-justified). Egy ilyen soros port rendelkezik

- 2 db adatvonallal,
- 1 db órajellel,
- 1 db keret szinkron vonallal.

Minden egység definiálható ki, vagy bemenetként, illetve rendelkezik dedikált DMA csatornával.

A beépített S/PDIF adó és vevő áramkörből 1db áll rendelkezésre, amely nem rendelkezik DMA csatornával. Képes feldolgozni és előállítani BMC kódolású digitális audió jelet. A vett jelet 16, 18, 20 vagy 24 bites I2S formátumra áttranszformálni, vagy a bemenetként kapott I2S jelet S/PDIF adatfolyammá átalakítani.

Az ASRC (Asynchronous Sample Rate Converter) egység képes a processzor erőforrásai nélkül különböző audió jelek mintavételi frekvenciájának konverziójára. Ezen felül alkalmazható audió források órajelének jitter-mentesítésére, például egy S/PDIF jel esetén. Ilyen egységből 4 db áll rendelkezésünkre.

Következő periféria a PCG (Precision Clock Generator), amely egy bemenő órajelből, leosztással képez bit, és keret szinkron jelet. A meglévő 4 db ilyen áramkörből 2 db képes DPI lábakat is meghajtani.

Utolsóként az IDP/PDAP egységet említem meg, amely alkalmas 8 db soros audió adatfolyam fogadására (minden adatfolyamhoz külön órajel, és keret órajel), és össze-multiplexálására. A PDAP egység ugyanezt a folyamatot végzi el, csak párhuzamos bemenő adatvonallal.

5.3.2. Tervezés a processzorral

Az áramkör adatlapjából kiderül, hogy két féle tokozásban kapható. Az egyik egy 100 lábú, a másik egy 176 lábú LQFP kivitel. A kisebb lábszámú tokozás nem tartalmazza a külső memória-illesztő egységet, illetve nem rendelkezik külön watchdog időzítővel. Mivel a rendszer specifikációjában nem szerepelt a külső memória szükségessége, ezért a 176 lábú kivitel egy watchdog miatt nem lesz alkalmasabb a feladat elvégzésére.

Megvizsgálva az 5.1-es ábrán látható blokkvázlatot, láthatjuk, hogy használnunk kell 1 db SPI vonalat, viszont mivel 3 db egységet is ellát, ezért kell még 2 db külön láb a chip select miatt. I2S vonalról 2 db szükséges az analóg-digitális és digitális-analóg átalakításhoz. Mivel a specifikációban audió bemenetnek és kimenetnek is 2 db sztereo csatlakozó volt definiálva, ezért összesen 2-2 adatvonalat kell használni az I2S szabványhoz. Az MX-SC-USB néven szereplő kijelző és kezelőpanel vezérléséhez egy I2C kommunikációs vonal szükséges, valamint az előlapi USB meghajtásához alkalmazott FT232-es áramkör UART kommunikációs protokollal van összekötve a DSP-vel.

Összesen 14 db DPI, 20 db DAI, és 4 db flag típusú láb áll rendelkezésre, amelyből 3 db közvetlen interrupt bemenetként is konfigurálható. Ezt a mennyiséget nem haladhatjuk túl, így célszerű az összes egység valamennyi összeköttetését definiálni.

| Részegység | szabvány | felhasznált DSP lábszám | | | megjegyzés |
|------------------------|----------|-------------------------|-----------|----------|------------|
| | | DAI | DPI | Flag | |
| Boot Flash | SPI | | 4 | | |
| Csúcsérték képző + ADC | SPI | | 1 | | |
| ADC/DAC | SPI | | 1 | | |
| | 2 db I2S | 8 | | | |
| | - | 1 | | | soft reset |
| interfész | I2C | | 2 | | |
| UART-USB | UART | | 2 | | |
| | - | 2 | | | bővítés |
| S/PDIF be | - | 1 | | | |
| S/PDIF ki | - | 1 | | | |
| | | | | | |
| összesen: | | 13 | 10 | 0 | |

5.3. Ábra: DSP és interfészek kapcsolata

Az 5.3-as ábrán látható táblázatban összegyűjtve látjuk a csatlakozások típusát és a felhasznált DSP láb fajtáját. Az összegzésből kiderül, hogy egyik korlátot sem léptük túl. Minden olyan összeköttetés, amely valamilyen protokollt használ, egyértelműen adódott a bekötése, mivel tudjuk, hogy az az interfész melyik DSP perifériában található (DAI, DPI). Ezen felül maradt két interfészhez nem sorolható összeköttetés. Az egyik ilyen, az audió rész analóg-digitális és digitális-analóg átalakítójának soft reset jele. Ezt a bemenetet bármelyik lábra köthetjük, viszont DPI lábból kevesebb áll rendelkezésre, és DAI lábból sokkal több a szabad, így utóbbira lett bekötve. Ugyanezen megfontolásból lett az UART-USB 2 db bővítés céljára felhasznált lába is a DAI egységbe kötve. Ezeknek a lábaknak a funkciója előzetesen felprogramozható az FT232-es áramkörben. Jelezhetik pl. a kommunikáció meglétét adás és vétel irányba.

Az összes bekötetlen megmaradt DAI, DPI, és Flag láb ki lesz vezetve a bővítőkárttyára. Mivel a bővítő kártyán fog helyet kapni az AES3/EBU adó és vevő áramkör is, ezért feltétlenül szükséges, hogy erre a célra maradjon 2 db DAI láb. Mivel 13-at használtunk fel a 20-ból, így ez a feltétel teljesül.

Felmerül a kérdés, hogy melyik DAI illetve DPI lábra melyik protokoll köthető. Mivel a jelfeldolgozó processzor mind a két interfésze tartalmaz egy kapcsolómátrixot (SRU), így szabadon köthetőek az egységek bármelyik lábra. Ez esetben egyetlen kivételt a bootolásra használt SPI vonal jelent.

5.3.2.1. Boot Flash

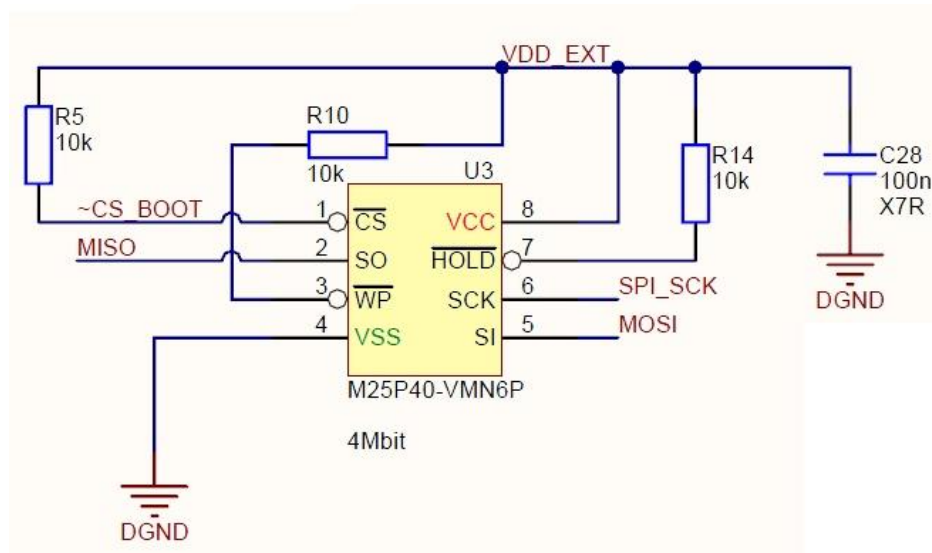
A választott TQFP 100-as tokozású DSP-nél két lehetőségünk van a bootolásra. Mind a két esetben az SPI vonalat használja az áramkör, vagy slave-ként vagy master-ként viselkedve. Az adott esetet 2 db láb (BOOT_CFG1-0) logikai szintjének az állításával végezhetjük. Esetünkben a BOOT_CFG0 lábat logikai „1”-re, a BOOT_CFG1 lábat pedig logikai „0”-ra kellett állítani.

Mivel a DSP feléledéséig minden regiszter alapállapotban van, így meg kell nézni az ADSP-214xx család egységes adatlapját. Ebben minden lényeges információ megtalálható az áramkörrel [15].

A DPI Default Routing részben megtaláljuk, hogy a kapcsoló mátrix az inerfészeket, köztük az SPI vonalat is, melyik kivezetésekkel köti össze alaphelyzetben. Majd az SPI boot/ Master boot fejezetben olvasható, hogy melyik chip select lábat aktiválja bootoláskor.

- PDI_01 → MOSI
- PDI_02 → MISO
- PDI_03 → SCK
- PDI_05 → CS

Az általam választott áramkör a numonyx által gyártott M25P40-es 4 Mbit-es flash áramkör. Mivel a tervezés folyamán lehetőségek szerint a Lightware Kft által raktáron tartott alkatrészeket szem előtt tartva kellett választanom, így az adott típusok közül ez volt a megfelelő. Az eszköz SPI vonalon kommunikál maximum 50 MHz-es órajellel. Tokozása SO8-as kivitelű, így kézzel könnyen beültethető, továbbá a 3,3 V-os működési feszültsége miatt kompatibilis a DSP áramkörrel.



5.4. Ábra: Boot flash kapcsolási rajza

Az 5.4-es ábrán láthatóan az áramkör két lábát logikai „1”-re kellett kötni. Ezek a Write protect (írás védelem) és hold (kommunikáció szüneteltetése) lábak. Az áramkör tápfeszültsége közvetlenül a DSP külső perifériáinak a tápfeszültségére lett bekötve, mivel az is 3,3 V-ot igényel (következő részben leírva). A tápfeszültség szűréséről egy 100 nF-os X7R dielektrikumú kerámia kondenzátor gondoskodik. Ez hivatott az áramkör által keltett tüskék kiszűrésére.

Nagyfrekvenciás zavarok szűrésére tipikusan NP0, X7R ([10],[12]) dielektrikumú kondenzátorokat szoktak használni. Jobb elektromos paraméterekkel rendelkeznek mind a társaik (pl Y5V). A kondenzátorok kapacitása függ a hőmérséklettől, az egyenfeszültségtől, és a frekvenciától is.

5.3.2.2. Környező áramkörök

Ebbe a részbe sorolnám azokat az egységeket, amelyek a DSP közvetlen közelében találhatóak meg, és a működéséhez elengedhetetlenek. Mivel felépítésük nem igényelt bonyolult kapcsolástechnikát, így ezek az áramkörök a mellékletben csatolt DSP kapcsolási rajzán találhatóak.

A jelfeldolgozó processzort az **órajel** bemenetén megfelelő időzítéssel kell ellátni. Lehet külső oszcillátort vagy kvarcot is használni. A DSP adatlapján található egy táblázat, amely meghatározza a bemenő órajel frekvenciáit.

| Parameter | 300 MHz | | 350 MHz | | 400 MHz | | 450 MHz | | Unit |
|--|--------------------|------------------|-------------------|------------------|-----------------|------------------|--------------------|------------------|------|
| | Min | Max | Min | Max | Min | Max | Min | Max | |
| <i>Timing Requirements</i> | | | | | | | | | |
| t_{CK} CLKIN Period | 26.66 ¹ | 100 ² | 22.8 ¹ | 100 ² | 20 ¹ | 100 ² | 17.75 ¹ | 100 ² | ns |
| t_{CKL} CLKIN Width Low | 13 | 45 | 11 | 45 | 10 | 45 | 8.875 | 45 | ns |
| t_{CKH} CLKIN Width High | 13 | 45 | 11 | 45 | 10 | 45 | 8.875 | 45 | ns |
| t_{CKRF} ³ CLKIN Rise/Fall (0.4 V to 2.0 V) | | 3 | | 3 | | 3 | | 3 | ns |
| t_{CCLK} ⁴ CCLK Period | 3.33 | 10 | 2.85 | 10 | 2.5 | 10 | 2.22 | 10 | ns |
| f_{VCO} ⁵ VCO Frequency | 200 | 800 | 200 | 800 | 200 | 800 | 200 | 900 | MHz |
| t_{CKJ} ^{6,7} CLKIN Jitter Tolerance | -250 | +250 | -250 | +250 | -250 | +250 | -250 | +250 | ps |

¹ Applies only for CLK_CFG1-0 = 00 and default values for PLL control bits in PMCTL.

² Applies only for CLK_CFG1-0 = 01 and default values for PLL control bits in PMCTL.

³ Guaranteed by simulation but not tested on silicon.

⁴ Any changes to PLL control bits in the PMCTL register must meet core clock timing specification t_{CCLK} .

⁵ See Figure 4 on Page 22 for VCO diagram.

⁶ Actual input jitter should be combined with ac specifications for accurate timing analysis.

⁷ Jitter specification is maximum peak-to-peak time interval error (TIE) jitter.

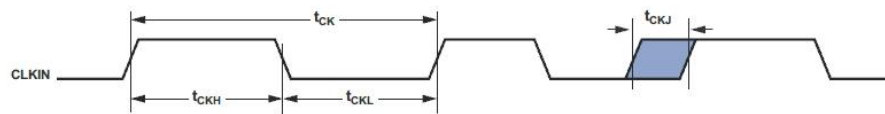


Figure 6. Clock Input

5.5. Ábra: ADSP-21489 órajel specifikáció [7]

A t_{ck} jelöli a periódusidőt. Mivel a DSP programozástól függően járhat bármelyik frekvencián, ezért az órajelet úgy kell megválasztanunk. Megnézve az összes frekvencián a maximális és minimális határ, 26,66 ns-tól 100 ns-ig használt periódusidővel minden frekvencián képes működni az áramkör. Frekvenciába átszámolva 10 MHz-től 37,5 MHz-ig választhatunk. A szélső értékeket elkerülve a 25 MHz jó közelítéssel a tartomány közepére esik. Az analog devices saját „evaluation board”-ján, szintén 25 MHz-es bemenő órajelt kap az áramkör. A Lightware Kft-nél 25 MHz-es értékből kvarc állt rendelkezésre, így azt használtam fel a tervezés során.

A DSP rendelkezik két olyan lábbal, amely a rendszer mag és a bemenő órajel arányát határozza meg. Miután a DSP kijött a reset állapotból, a belső órajele tetszőlegesen változtatható két regiszter programozásával. Mivel a specifikáció során nem volt semmilyen megkötés erre az állapotra, így mind a 4 bekötési mód lehetőségét kialakítottam.

Következő egység a **JTAG** csatlakozó, amely szükséges az áramkör hibakeresésére, élesztésére, illetve ezen keresztül érhető majd el a flash IC, hogy felkerüljön rá a DSP programja. Ennek a bekötésére egy 10 pólusú csatlakozót használtam fel a szabványnak megfelelő láb kiosztással és környező fel illetve lehúzó ellenállásokkal.

A processzor **reset** bemenetéről is gondoskodni kell. Az adatlapból kiolvastva a tápfeszültségek létrejötte után maximum 200 ms alatt érvényes órajelet kell biztosítani az áramkör számára, és az órajel létrejötte után minimum 100 μ s-ot kell várni a reset jel megszűntetéséig. Mivel a 200 ms-hoz képest ez elhanyagolható, így nem követünk el hibát, ha a 200 ms-al számolunk. Következő lépésben kikerestem a DSP specifikációjából, hogy a bemeneten mikortól érzékeli magas szintűnek a jelet. Ez minimum 2 V lehet az összes működési frekvencián. A reset áramkört egy egyszerű soros RC tag valósítja meg (reset és a föld között a kondenzátor). A reset nyomógomb pedig a kondenzátort fogja majd rövidre zárni. A kondenzátoron lévő feszültséget az

$$U = U_t \left(1 - e^{-\frac{t}{\tau}} \right) \quad (5.1)$$

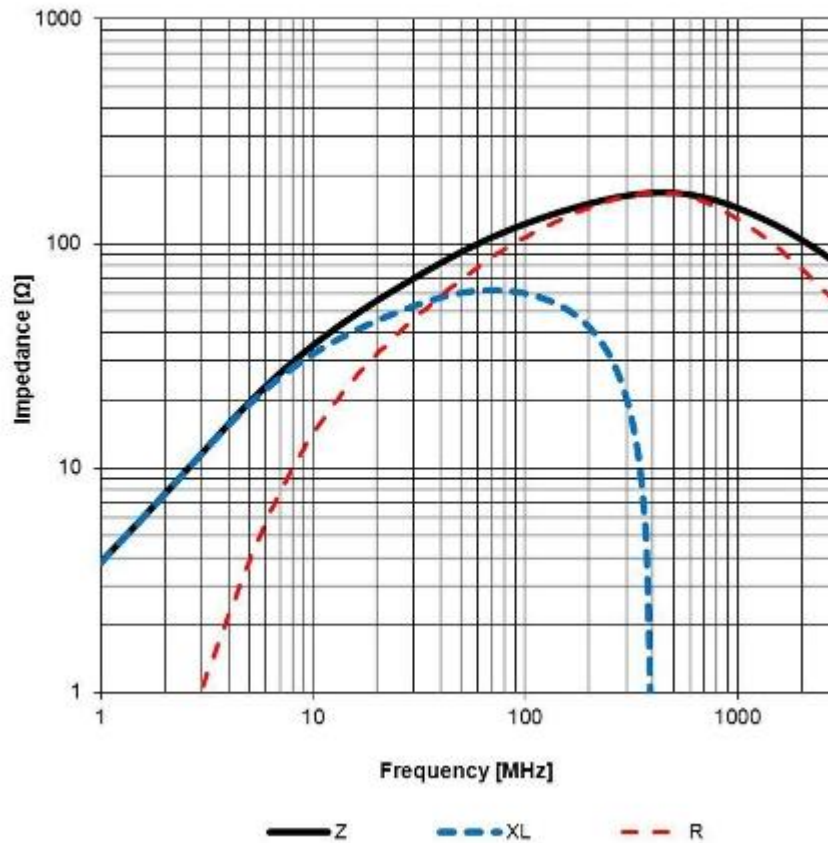
képlettel számolhatjuk, viszont mivel a mi esetünkben a 3,3 V-os tápfeszültséghez képest a 2 V 60%-nak felel meg, így jó közelítéssel $t = \tau$ -val számolhatunk, mivel 1 τ alatt 63%-ra töltődik a kondenzátor. A tápfeszültség lehetséges feléledését is figyelembe véve a kétszeres túlméretezés, vagyis 400 ms megfelelő lesz. A kondenzátor értékét 10 μ F-ra, és a soros ellenállást 47 k Ω -ra választva az időállandó 470 ms-ra adódik.

Az 5.3.1-es fejezetben láthattuk, hogy a jelfeldolgozó processzort két részre lehet osztani. Egyik a rendszermag, a másik pedig a perifériás egység. Ezeknek a megáplálására különböző tápfeszültséget igényel az áramkör. A perifériákhoz 3,3 V szükséges, míg a központi maghoz 1,1 V. Mindegyik tápfeszültséghez több láb is tartozik. Az 1,1 V-os feszültséghez, amelyet V_{DD_INT} -nek, vagyis belső feszültségnek neveznek, 29 db láb tartozik. Míg a perifériák V_{DD_EXT} lábaiból 7 db áll rendelkezésre. Az adatlap nem tér ki olyan lehetőségre, hogy bármelyik láb nagyobb áramot igényelne, mint a többi. Mivel a DSP magas frekvencián működik, így a tápegységet nagyfrekvenciás áramokkal terhelheti. Ez a zavarás így a többi áramkör működését is befolyásolhatja, így a szűrése nagyon fontos. Minden egyes táp lábat közvetlen a közelében egy 100 nF-os X7R-es kondenzátorral kell szűrni. Továbbá a nagyfrekvenciás komponensek leválasztása miatt egy soros felületszerelt ferrit bead-et kell a tápegység és a DSP közé helyezni. Egy a cégnél jól bevált típust alkalmaztam a kapcsolatban [8].

Az 5.6-os és az 5.7-es ábra a ferrit bead fontosabb paramétereit és az impedancia függését láthatjuk a frekvencia függvényében. Az áramkör tokozása 0603-as szabványos SMD (felületszerelt) méret.

| Properties | Test conditions | | Value | Unit | Tol. |
|--------------------|------------------|----------|-------|----------|------------|
| Impedance @ 100MHz | 100 MHz | Z | 120 | Ω | $\pm 25\%$ |
| Maximum impedance | 400 MHz | Z | 180 | Ω | typ. |
| Rated current | $\Delta T = 40K$ | I_R | 2000 | mA | max. |
| DC Resistance | | R_{DC} | 0.05 | Ω | max. |

5.6. Ábra: Ferrit bead paramétereit [8]



5.7. Ábra: Ferrit bead impedanciájának frekvencia függése [8]

Az 5.7-es ábrából látszik, hogy magas frekvencián az alkatrész ellenállása (impedanciája) jelentősen megnő, így veszteség keletkezik benne, ami alkalmassá teszi a nagyfrekvenciás zavarok szűrésére, csillapítására.

Az ADSP-21489 adatlapjában a tápfeszültségek feléledésének sorrendjére és idejére is találunk megkötést, de ezekre majd a tápegység tervezésének lépéseiben fogok kitérni, egy későbbi fejezetben.

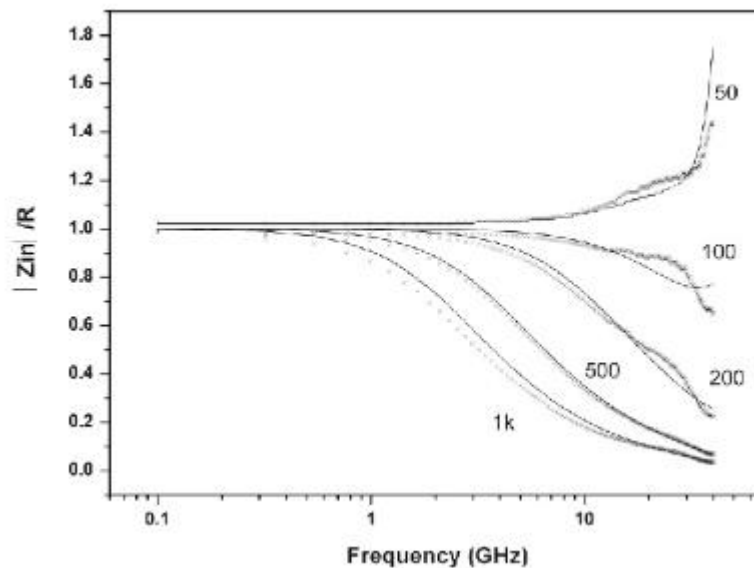
5.4. S/PDIF vevő

A vevő egység tervezésénél az IEC 60958-3 szabvány fizikai rétegét kellett figyelembe venni (IEC 60958-1-ben közlik). Definiálták a vevő egység összes fontos paramétereit. Ezeket a paramétereket az 5.8-as ábrán láthatjuk.

| | | asszimmetrikus vonal | | |
|------|----------------|--|--------------------------------|---|
| | | értékek | feltétel | |
| vevő | impedancia | $(75 \pm 3.75) \Omega (\pm 5\%)$ (rezisztív) | 0,1MHz-től 128 x max framerate | |
| | max amplitudó | 0.6 V | - | |
| | min bemenő jel | V_{min} | 200 mV | - |
| | | T_{min} | 0.5 UI | - |

5.8. Ábra: S/PDIF vevő specifikáció

A bemenő impedanciának 75 Ω -osnak kell lennie egészen a maximális keretfrekvencia 128-szorosáig. S/PDIF jel esetében 192 kHz a maximális keretfrekvencia, vagyis közel 25 MHz-ig (24,576 MHz) teljesülnie kell. A vishay alkatrészgyártó oldalán találtam mérési eredményeket felületszerelt ellenállások frekvenciafüggésére.

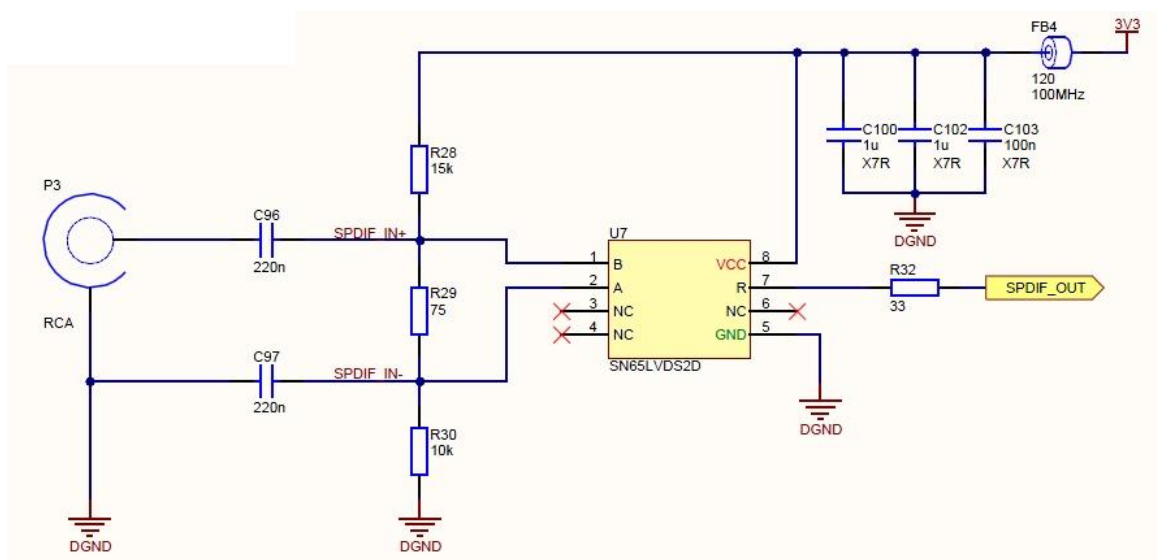


5.9. Ábra: 0603 SMD ellenállás frekvencia függése [9]

Mivel egyik ellenállás sem mutat lényeges eltérést közel 1 GHz-ig, így a nekünk szükséges tartományban nem fog problémát okozni az ellenállások frekvenciafüggése, tehát a lezárás kritériumát teljesíteni fogja egy 75 Ω -os felületszerelt ellenállás.

A bejövő feszültség 0,6 V lehet maximálisan csúcstól csúcsig. Mivel tervezés során az összes áramkört úgy választottam, hogy egyszeres (aszimmetrikus) tápfeszültségről működjenek, ezért szükséges a bemeneten egyenáramú eltolást (DC offset) alkalmazni. Hogy ez az egyenáram ne jusson vissza az S/PDIF vonalra, így soros kondenzátorral le kell választani a bemenetről.

A vevő egységet, amely elvégzi a jelszintillesztést a processzorhoz, a legegyszerűbben egy differenciális vevővel valósíthatjuk meg. Ezeket LVDS (Low-Voltage Differential Signaling) áramköröknek nevezik. Nevéből adódóan kis szintű jelekre érzékenyek, ez tipikusan 100 mV-os komparálási határt jelent. Mivel az S/PDIF szabványnál 200 mV a minimális érzékelési határ, ezek a vevő áramkörök teljesítik az előírást. A bejövő jel maximális bitszáma másodpercenként a legnagyobb mintavételi frekvencia (192 kHz), a keretenként átvitt 64 bit, és a BMC kódolásból adódó kétszeres arány szorzatából jön ki, ami jó közelítéssel 25 Mbps, tehát a vevő áramkörnek min 25 Mbps-es átviteli sebességgel kell rendelkeznie. Az általam vizsgált alkatrészek (ADN4662, MAX9130, SN65LVDS2D) mind 400 Mbps vagy a feletti sebességgel rendelkeztek. Mivel felépítésükben és paraméterükben lényeges eltérés nem található, illetve mindegyik alkalmas az S/PDIF adatfolyam fogadására, ezért a DSP saját fejlesztőkártyáján [16] is használt Texas Instruments SN65LVDS2D [18] alkatrészrel megvalósított áramkört építettem meg.



5.10. Ábra: S/PDIF bemenet kapcsolási rajza

Az 5.10-es ábra alapján a bemenő jel egyenáramú szinteltolását az R28, R29, R30-as ellenállások végzik, így az SPDIF_IN- potenciálja 1,32 V-ra adódik. A 220 nF-os

kondenzátor váltakozó áramú szempontból rövidzárnak ($0,1 \text{ MHz} \rightarrow X_c = 7,23 \Omega$) tekinthető a $10 \text{ k}\Omega$ -os ellenálláshoz képest, ezért az SPDIF_IN- pont lesz a referencia és ehhez képest fog az SPDIF_IN+ váltakozni a bejövő jelnek megfelelően. A $75 \Omega \pm 5 \%$ -os bemenő impedancia teljesül a kritérium szerinti $0,1 \text{ MHz}$ -re is. $2 X_c$ és R értékét vektorosan összegezve $76,38 \Omega$ -os értéket kapunk. Megjegyezném, hogy az S/PDIF vonalon előforduló legkisebb mintavételi frekvenciája az audio jelnek $22,05 \text{ KHz}$ lehet. Ebből $\sim 1,4 \text{ MHz}$ -es adatfolyamot kapunk BMC kódolásban.

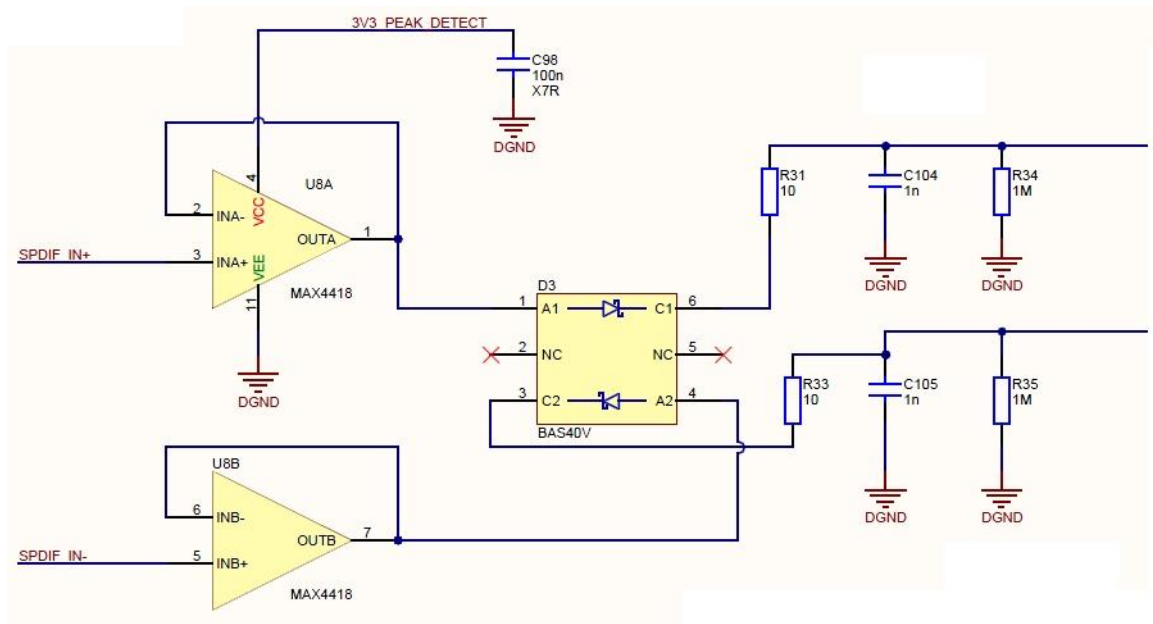
Az SN65LVDS2D típusú integrált áramkör 400 Mbps adatátviteli sebesség fogadására képes 100 mV -os komparálási szinttel. $3,3 \text{ V}$ -os tápfeszültségről működik, de a bemenetén maximum 5 V -os feszültséget képes fogadni. Az eszköz rendelkezik beépített ESD védelemmel.

A tápfeszültség szűréséről egy ferrit bead, és X7R-es dielektrikumú kerámia kondenzátorok gondoskodnak.

5.5. Csúcsérték képző

A tervezés során felmerült az az igény, hogy az áramkör tudja mérni az S/PDIF vett jelszintjét. Első koncepció egy gyors és közepes felbontású analóg-digitális átalakító volt, így a jelalak kirajzolható, mintegy oszcilloszkópként használva. A bemeneten érzékelt jel maximum 25 Mbps -es lehet. Egy jelet annál jobban tudunk visszaállítani, minél több felharmonikusát vagyunk képesek mérni. Négyszög jel esetében ez a páratlan számú többszöröse az alapfrekvenciának. Amennyiben az 9. felharmonikus mérését tűzzük ki célul, amelynek a frekvenciája $9f_0$, vagyis $112,5 \text{ MHz}$, akkor a Nyquist-Shannon mintavételezési tétel értelmében, minimum 250 MHz -es frekvenciával kell mintavételeznünk a bejövő jelet, vagyis az analóg-digitális átalakítónak 250 MSPS -es (Mega Samples Per Second) paraméterrel kell rendelkeznie. Egy 14 bit felbontású 250 MSPS -es áramkör ára 1000 db -os tételben is $\$72,49$ (AD9250).

A magas ár miatt maradt az elgondolás, miszerint elég csak az amplitúdóját ismernünk. Feltételezhetjük, hogy az S/PDIF jel amplitúdója nem változik vagy csak nagyon lassan, mivel ugyanaz az eszköz szolgáltatja a kimenetet. Erre a megoldásra kézenfekvő volt egy csúcsdetektor tervezése, aminek az értékét egy lassú analóg-digitális átalakítóval tudjuk megmérni.



5.11. Ábra: Csúcsdetektor kapcsolási rajza

Mivel a csúcsdetektor egy diódát tartalmaz és az azon eső feszültségből eredő hibát szeretnénk figyelmen kívül hagyni, ezért két csúcsdetektort kell alkalmazni (vagy mérni a diódán eső feszültséget), amelyeknek a diódája egyazon szilícium chip-en lett kiképezve, így kisebb a két nyitóirányú feszültség között a különbség. Egy dupla (dual) shottky dióda a megfelelő, amelyek a tokozáson belül izolálva vannak egymástól. A shottky diódáknak jellemzően kisebb a nyitó feszültségük, valamint a kisebb kapacitásuk miatt nagyobb frekvenciákon alkalmazhatóak, mint a hagyományos társaik. A megvalósított kapcsolásban BAS40V típusú kettős shottky került felhasználásra. A dióda utáni kondenzátorral párhuzamosan egy ellenállást is kell kötnünk, hogy a bemenő jel megszűnése után minél gyorsabban kisüljön a kondenzátor, illetve követni tudja az esetleges jelcsökkenést. Ennek az RC tagnak az időállandóját úgy kell méretezni, hogy a legkisebb frekvenciájú bemenő jelnél se csökkenjen a feltöltött kondenzátor feszültsége jelentősen. Az S/PDIF vevő leírásának a végén, említettem, hogy a legkisebb frekvenciájú audió jelfolyamunk minimum 1,4 MHz lehet. Kondenzátor kisülésénél az

$$U_c = U_0 \cdot e^{-\frac{t}{\tau}} \quad (5.2)$$

képlettel számolhatjuk ki a kondenzátor feszültségét, ahol U_0 a kondenzátor kezdeti feszültsége, t az eltelt idő, τ pedig az időállandó. 1,4 MHz esetében:

$$t = \frac{T}{2} = \frac{1}{2f} = 357 \text{ ns} \quad (5.3)$$

és amennyiben 1% feszültségesést engedünk meg, az (5.2)-es átrendezésével a

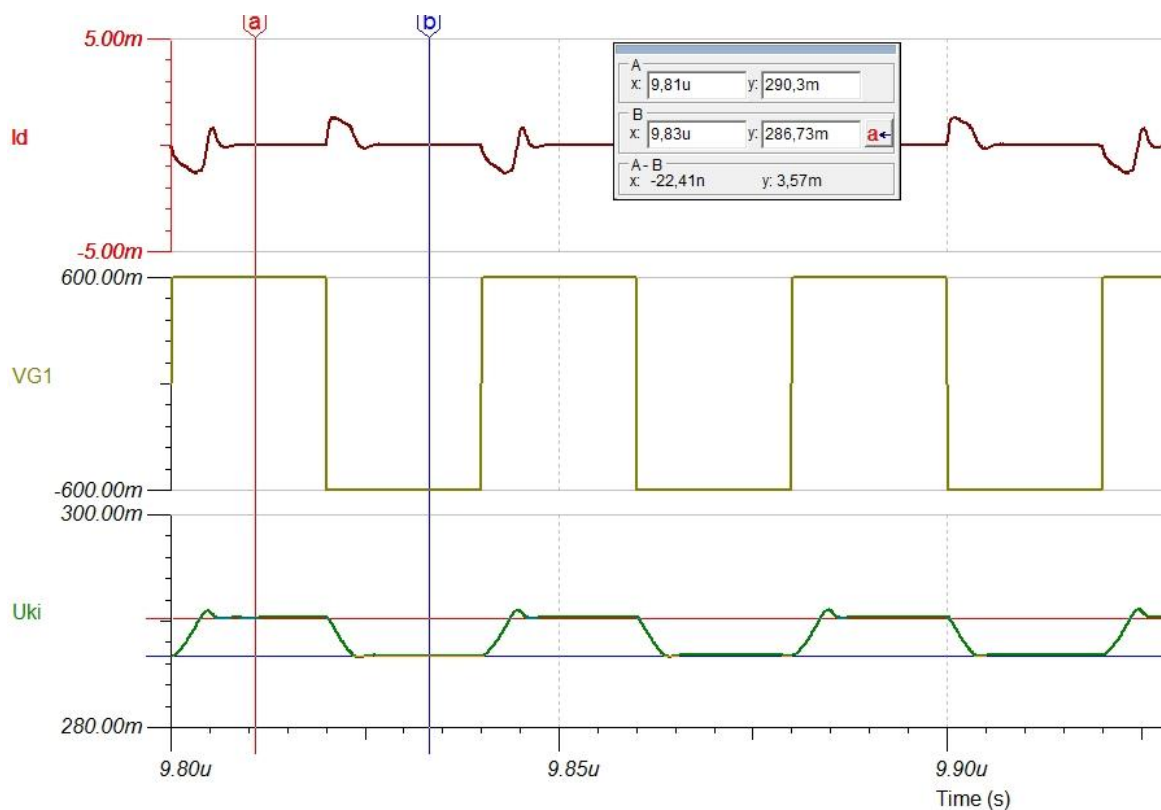
$$\tau = -\frac{t}{\ln\left(\frac{U_c}{U_0}\right)} = 35,5 \mu s \quad (5.4)$$

eredményt kapjuk. A kondenzátor megválasztásánál figyelembe kell vennünk a legnagyobb frekvenciából adódó impedanciáját, úgy hogy ne jelentsen túl nagy terhelést a diódára, illetve az előtte lévő tagoknak. Kapacitás értékének 1 nF-ot választottam és vele párhuzamosan pedig egy 1 M Ω -os ellenállást kötöttem. Így az időállandó 1 msec-ra adódott. Az időállandóba bele kell számolni az analóg-digitális átalakító bemenő ellenállását is. Mivel az általam választott átalakító, tartalmaz egy buffert a bemenetén, így az oda elszivárgó áram 20 nA lesz. A legnagyobb feszültség a csúcsetektor kimenetén 1,62 V-nak adódik (maximális bemenő jelnél), így a terhelés 81 M Ω -nak felel meg. Gyakorlatilag elhanyagolható az 1 M Ω -hoz képest, továbbá az (5.4)-ben kiszámolt időállandónak is a 28-szorosa áll rendelkezésünkre. A diódával sorba kötött 10 Ω -os ellenállás az áramtűskéket hivatott korlátozni. Az áramtűskék töltetlen kondenzátor esetén lehetnek kritikusak.

A követő erősítő szerepe, hogy a fennmaradó áramimpulzusok ne jussanak ki a bemenetre. A használt műveleti erősítő választásánál figyelni kellett a sávszélesség, a slew-rate és a kimenetén leadható maximális áramra. Az általam választott műveleti erősítő a MAX4418-as típus [19], melynek a lényegesebb paramétereit felsorolom.

- 400 MHz sávszélesség
- 200 V/ μ s slew rate
- \pm 85 mA maximális kimeneti áram
- 3,3 V-os egyszeres tápfeszültség igény
- Rail-to-Rail (táptól tápig kivezélhető)

Mivel az SPDIF_IN- és SPDIF_IN+ bemenet között található a 75 Ω -os illesztő ellenállás és azon egyenáram folyik keresztül (5.10-es ábra), így az egy állandó mérési hibát fog okozni a rendszerben. Pontos értékét kiszámolva 9,87 mV-ot kapunk. Ezt majd az eszköz programozása során figyelembe kell venni.



5.12. Ábra: csúcsdetektor kimenete, és a dióda árama

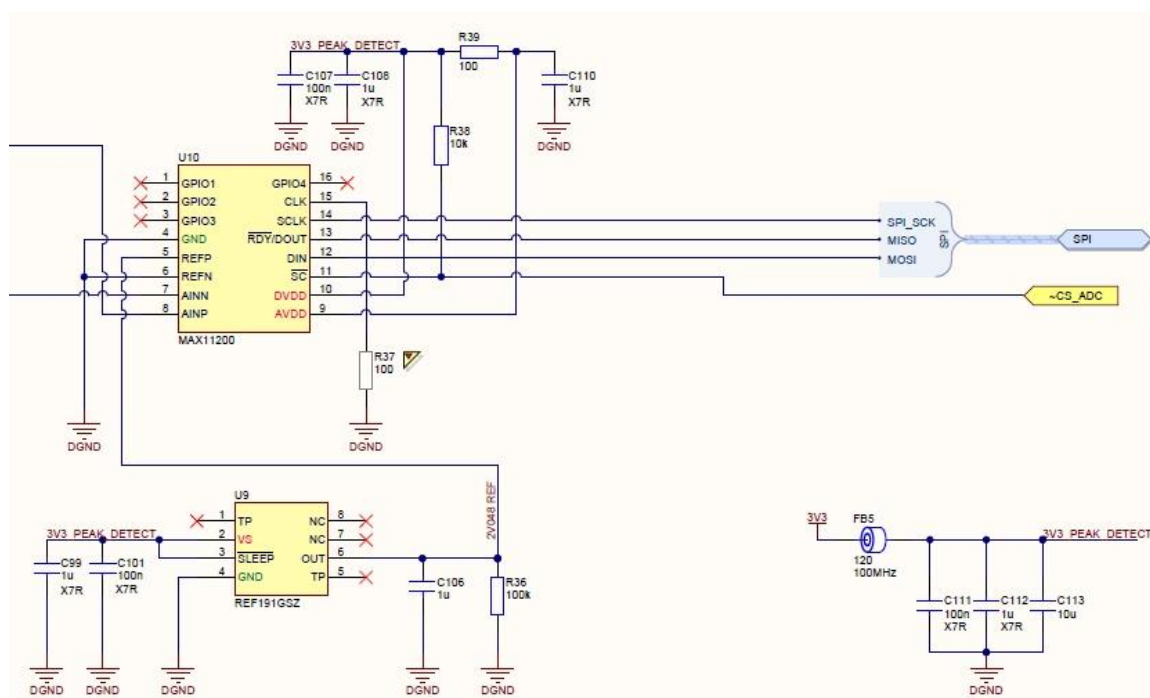
Az 5.12-es ábrán egy 12,5 MHz-es 600 mV amplitúdójú bemenő négyzetjelre láthatjuk a két csúcsdetektor közötti potenciálkülönbséget (U_{ki}), és a pozitívabb potenciálhoz tartozó dióda áramát (I_d). A kondenzátor feszültsége ~ 288 mV-os középértékre töltődik fel. A 75Ω -os ellenálláson eső $9,87$ mV-t hozzáadva, egészen pontos ($297,97$ mV) eredményt kapunk. A szimuláció során a gyártók honlapjáról letöltött, valóságos SPICE modellt használtam. A generátor feszültsége azért kétszeres a szimulációban, mert az adó áramkör kimenő ellenállása is 75Ω -os. A dióda soros ellenállásának (10Ω) elhagyásával az áramcsúcsok a kétszeresükre nőnek. A szimuláció következtetni enged arra, hogy az áramkör a valóságban is megfelelően fog működni.

5.6. Analóg-digitális átalakító

Ebben a részben a csúcsérték képző áramkörre csatlakoztatott analóg-digitális átalakítóról fogok írni. Mivel két kimenetünk áll rendelkezésre, amelyek között potenciálkülönbséget kell mérnünk, így szóba jöhet három lehetséges mód.

- Különbségképző műveleti erősítő és egy analóg-digitális átalakító
- Külön analóg-digitális átalakító mind a két kimenetre
- Differenciális bemenetű analóg-digitális átalakító

Mivel a legkevesebb alkatrész a differenciális bemenetű átalakítóhoz kell, így a választás egyértelműen adódott. A kevesebb alkatrész miatt a pontosság is megnő. Mivel a jelszint nagyon lassan változik, így elég volt a kifejezetten lassú (<10 kSPS) és egycsatornás áramkörök között szétnézni. Ezek működési elvét tekintve szigma-delta átalakítók, és a Maxim kínálatában is elég sok ilyen termék szerepel. A kínálatból mindegyik SPI vonalon kommunikál, továbbá felbontásuk 18 bit-től 24 bit-ig terjed. Mivel a két felbontás között 120 Ft árkülönbségről beszélünk, ezért nyugodtan kiválasztottam a 24 bit felbontású MAX11200-as áramkört [20].



5.13. Ábra: S/PDIF ADC áramkör

A megvalósított áramkör az 5.13-as ábrán látható. Az AINN és AINP lábakra van kötve közvetlenül a két csúcserték képző kimenete, polaritásnak megfelelően. A REFN láb a digitális földre csatlakozik, a REFP pedig egy REF191GZS típusú 2024 mV-os referencia feszültséget előállító áramkörre. Az indokolatlanul nagy tűnő referencia feszültséget azért választottam, mert egyes mérések alapján a számítógépek S/PDIF kimenetén 2 V-os amplitúdó is megjelenhet, illetve az alkalmazott szigma-delta átalakító felbontása 24 bit, így nem probléma a mérés határ kiterjesztése. Mivel az áramkör csak SPI-on keresztül kommunikál, ezért a MISO lábat jelzéseként is használja, hogy végzett-e a konverzióval. Ez a jelzés addig marad aktív (aktív „0”), amíg az SPI órajel bemenetén jelet nem kap. A DSP programozásánál ezt majd figyelembe kell venni, hogy az engedélyezés után a MISO láb állapotát be kell olvasni.

Az analóg-digitális átalakító rendelkezik egy CLK bemenettel, ami a belső működését külső órajellel teszi lehetővé. Az eszköznek van belső oszcillátorral is, ami két frekvenciára állítható, így vagy 60 Hz-re vagy 50 Hz-re lehet a tápellnyomási tényezőt optimalizálni (>100 dB). A külső CLK bemeneten egy köztes frekvenciával hajthatjuk meg, így kisebb értékkel, de mind a két frekvencián van csillapításunk (>80 dB). Mivel a feladat céljából nem jár előnnyel a külső órajelezés, így ezt a lábat nem használom. Az adatlap nem tér ki rá, hogy ha a belső oszcillátor van használatban, a CLK láb lebeghet-e, így biztosítottam neki egy ellenálláson keresztül a „0” potenciál lehetőségét.

Az átalakító 3,3 V-os tápfeszültséget igényel, így kompatibilis az eddig használt áramkörökkel. Ahogyan az analóg-digitális áramkörök általában, úgy ez is igényel egy jobban szűrt, zajmentes „analóg” tápfeszültséget. Mivel az analóg része is 3,3 V-al működik, ezért egy soros RC taggal (R39, C110) szűrtem meg a digitális tápfeszültséget. A rendszerben előforduló legkisebb zavaró frekvenciára kell méretezni a szűrő áramkört.

A szűrő soros ellenállásának (R39) kiválasztásánál figyelembe kellett venni, hogy a konverter analóg tápfeszültség bemenetén felvett árama ne okozzon nagy feszültségesést. Az adatlapban a maximális áramfelvételt 235 μ A-ek definiálták. Amennyiben 1% feszültségesést engedünk meg, úgy 140 Ω -ra jön ki az ellenállás értéke. A megtervezett áramkörben 100 Ω -os ellenállást alkalmaztam, 1 μ F-os X7R-es kondenzátorral. Az (5.5)-ös képlet értelmében a törésponti frekvencia ~1,6 kHz.

$$f = \frac{1}{2\pi RC} \quad (5.5)$$

A MAX11200-as analóg-digitális rendelkezik pár extra tulajdonsággal. Ilyen a referencia és differenciális bemenetén található buffer áramkör bekapcsolásának lehetősége, így a bemenetek nem terhelik az előttük lévő áramköröket. Ennek bekapcsolása szükséges lesz majd a programozás folyamán. Mintavételi sebessége 1 SPS-től, 120 SPS-ig szoftveresen állítható, ennek függvényében változik az eszköz effektív bitszáma. Az áramkör rendelkezik 4 db GPIO (General Purpose Input/Output), vagyis általános felhasználású kimenet vagy bemenet, ami az SPI vonalon keresztül érhető el. Ennek egy lehetséges felhasználási célja, hogy kimenetként definiáljuk és az átalakító elé bekötünk egy analóg kapcsolót, amelyet ezekkel a GPIO lábakkal vezérlünk, így lehetőségünk van több jelet is mérni.

A mai összetett áramkörök nagyobb része rendelkezik tápfeszültség monitorozással. Amennyiben ennél az áramkörnél is felmerült volt az igény, a

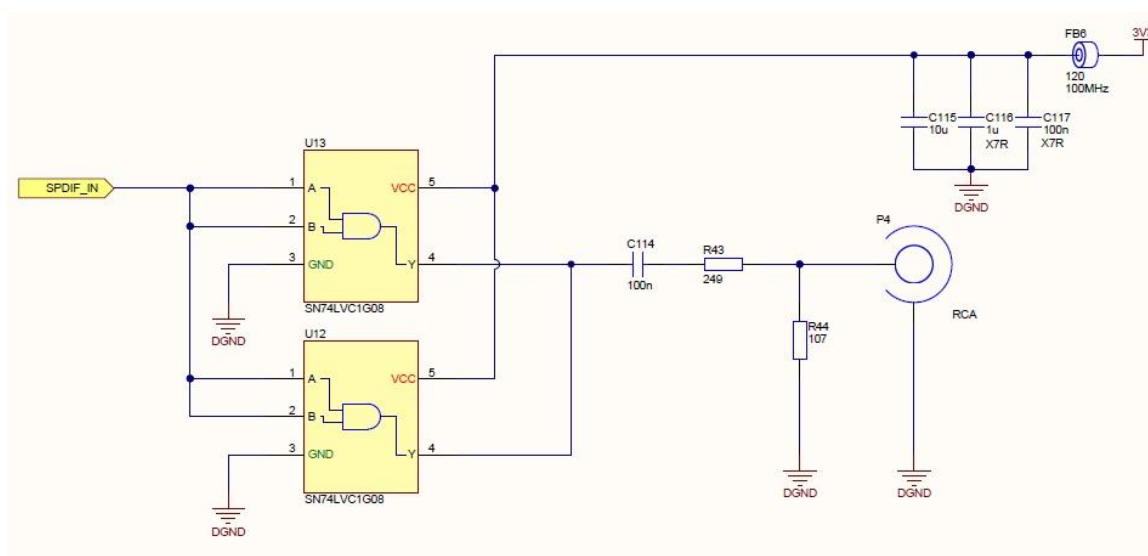
MAX11200-as áramkörrel és egy elé kötött analóg kapcsolóval megvalósítható lett volna a tápfeszültségek mérése.

5.7. S/PDIF adó

Az adó egység tervezésénél szintén az IEC 60958-3 szabvány fizikai rétegét kellett figyelembe venni. Definiálták az adó egység összes fontos paramétereit. Ezeket a paramétereket az 5.14-es ábrán láthatjuk.

| | | aszimmetrikus vonal | |
|-----|------------------|---------------------------------|---|
| | | értékek | feltétel |
| adó | impedancia | $(75 \pm 15) \Omega (\pm 20\%)$ | 0,1MHz-től 128 x max framerate |
| | amplitudó | $(0.5 \pm 0.1) V$ | $(75 \pm 0.75) \Omega$ közvetlen lezárással |
| | max dc offset | 0.05 V | $(75 \pm 0.75) \Omega$ közvetlen lezárással |
| | le/felfutási idő | $< 0.4 UI$ | $(75 \pm 0.75) \Omega$ közvetlen lezárással |

5.14. Ábra: S/PDIF adó specifikáció



5.15. Ábra: S/PDIF adó kapcsolási rajza

A megvalósított áramkör az 5.15-ös ábrán látható. Az R43 és R44 ellenállásból kialakított feszültségosztó szerepe kettős. Megvalósítja a szabványos kimenő impedanciát, illetve elvégzi a jelszintillesztést. A kimenő impedanciát 75Ω -ra, és a kimenő jel amplitúdóját $0,5 V$ -ra méreteztem. A két kritérium miatt, a feszültségosztás (5.6) és a kimenő ellenállás (5.7) képletéből számolható az ellenállások értéke.

$$U_{ki} = U_{be} \frac{R_{44} \times R_t}{R_{44} \times R_t + R_{43}} \quad (5.6)$$

$$R_{ki} = \frac{R_{43}R_{44}}{R_{43}+R_{44}} \quad (5.7)$$

Jelen esetben $R_t = R_{ki}$, mivel a vevő és az adó áramkör is 75 Ω -os impedanciát kell, hogy képviseljen. A 0,5 V-os kimenő és 3,3 V-os bejövő feszültséggel

$$\frac{U_{ki}}{U_{be}} = \frac{5}{33} \quad (5.8)$$

arányt kapva, majd (5.6) és (5.7) két ismeretlenes egyenletrendszer megoldva kapjuk eredményül, hogy $R_{43} = 247,5 \Omega$ és $R_{44} = 107,6 \Omega$. Az E48-as ellenállás gyártási sorból ezekhez a 249 Ω és a 105 Ω áll a legközelebb. Ezekkel az értékekkel 0,493 V-os kimenő amplitúdót, és 73,86 Ω -os kimeneti ellenállást kapunk.

Mivel a kimeneten az egyenfeszültség nem megengedett, ezért a leválasztást egy soros kondenzátorral kell megoldani. Vigyázni kell, hogy az ellenállásokkal együtt egy felüláteresztő szűrőt valósít meg, és a törésponti frekvenciát úgy válasszuk, hogy ne okozzon gondot a hasznos jelátviteli sávban, illetve ne befolyásolja a kimeneti impedanciát jelentősen ($\pm 20\%$ a szabvány szerint). 100 nF-os választás esetén mind a két feltétel teljesül.

A kimenet meghajtásáról két párhuzamosan kötött „és” kapu gondoskodik. Az 5.14-es ábrán, láthatjuk, hogy meg van adva a minimális felfutási idő, amelynek $>0,4 UI$ az értéke. Ez a feltétel már szinuszos kimenet esetén is teljesül. Mivel a célunk a minél pontosabb kimenő jel előállítás, ezért az „és” kapu sávszélességét célszerű a 12,5 MHz többszörösére választani. Az általam használt SN74LVC1G08 típusú [21] kapuáramkör 150 MHz-es sávszélességgel rendelkezik (11. felharmonikus átvitelére is képes 12,5 MHz-en), valamint szintén 3,3 V-os tápfeszültséget igényel. Kimenő árama maximum ± 25 mA lehetséges. A tápfeszültségének szűrését a szokásos ferrit bead, és X7R típusú kondenzátorok kapcsolása látja el.

5.8. Audió interfész

A specifikáció szerint a megvalósított áramkörnek rendelkeznie kell két analóg bemenő és kimenő csatornával is, amelyeknél phoenix és RCA csatlakozók kerülnek felhasználásra. Mivel csatornánként sztereó átvitelről beszélünk, ezért egyből adódik, hogy 4-4 db analóg-digitális és digitális-analóg átalakító ki és bemenettel kell rendelkeznie az eszköznek

5.8.1. Analóg-digitális és digitális-analóg átalakító

Az audió technikában a szigma-delta átalakítókat szokták használni. Mintavételi sebességben igazodnak az audió szabványokhoz, és magas, 24 bit-es felbontással rendelkeznek. További előnyük, hogy a túlmintavételezés miatt a simítósűrő áramkört könnyebb megvalósítani a digitális analóg átalakító kimenetén. Az átalakító áramkörök piacán körülnézve nagyon széles választékkal szembesülünk a nagyobb gyártók oldalain (Maxim Integrated, Analog Devices, Texas Instruments). Első elgondolásra a külön analóg és külön digitális átalakítókat néztem, majd rábukkantam az integrált analóg-digitális és digitális-analóg áramkörökre. Ezeket a típusokat a gyártók a CODEC kategóriába sorolták be, ami sajnos kicsit megtévesztő, mivel ebben a csoportban leginkább az S/PDIF sztereó dekóderek szerepelnek. Az integráltságuk mellett további előnyük, hogy árban is olcsóbb az eszköz, mint a két külön átalakító használat, nem számolva a környező alaktrészeket.

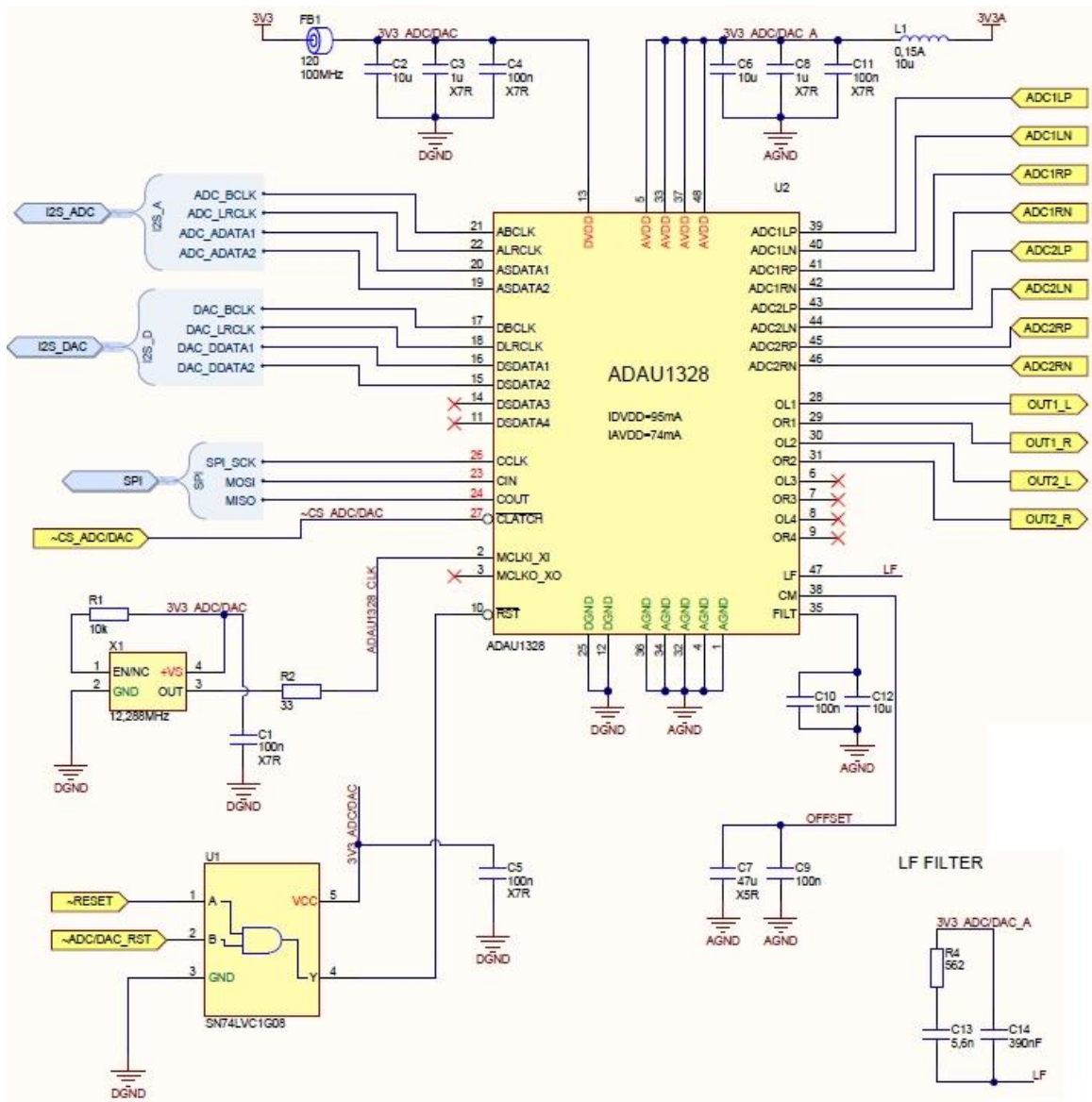
Az Analog Devices cég által forgalmazott ADAU1328-as codec áramkört [14] választottam, amelynek a kiválasztás során a következő paraméterei játszottak szerepet:

- 2 db differenciális sztereó bemenet (ADC),
- 8 db aszimmetrikus kimenet (DAC),
- 96 dB jel-zaj viszony,
- 24 bit felbontás
- 8 kHz-től 192 kHz-ig kompatibilis mintavétel
- SPI kommunikációs vonal,
- 3,3 V-os analóg és digitális tápfeszültség,
- lényeges audió szabványok ismerete (pl.: I2S).

További előnnyel rendelkezik az áramkör, mégpedig azért, mert a túlmintavételező órajelet nem kell kívülről biztosítani a működéséhez, így elkerülhetjük egy nagyfrekvenciás jel vezetéséből adódó zavaró hatásokat. Két lehetőségünk áll a túlmintavételező jel előállítására, az egyik a belső PLL (Phase Locked Loop) használata, amely a bejövő LRCLK jelből állítja elő, vagy pedig egy külső oszcillátor segítségével biztosíthatjuk ezt a jelet.

Mivel az eszköz rendelkezik SPI vonallal, így számos paramétert lehet állítani akár működés közben is. Állítható a csatornánkénti hangerő, némíthatóak egyenként, az

audió jel szabványa módosítható, a digitális ki- és bemenő jelek polaritása felcserélhető, választható hogy a belső PLL hova csatlakozzon, és még sok más lehetőség adott.



5.16. Ábra: ADC DAC kapcsolási rajza

Az 5.16-os ábrán megfigyelhető, hogy beépítésre került a külső 12,288 MHz-es oszcillátor, amellyel a 48 kHz, a 96 kHz és a 192 kHz-es mintavételi frekvenciájú szabványos audió jelek túlmintavételezése történhet közvetlenül. Az áramkörnek van egy reset típusú lába, amelyet szeretnék a DSP-vel is meghajtani, illetve a komplett analizátor újraindításakor is aktivizálnia kell. Ezt a problémát egy egyszerű „és” típusú SN74LVC1G08 kapuval oldottam meg (mivel minden jelszint aktív „0”). Ez ugyanaz az áramkör, amit az S/PDIF adónál használtam. Ennek az alkatrésznek a kiválasztásánál

nem volt semmilyen kritikus választási szempont, egyedül a 3,3 V-os tápfeszültségigény volt a lényeges.

Az áramkör a belső PLL miatt rendelkezik egy LF (Loop Filter) nevű kivezetéssel, ahová a PLL külső szűrőjét kell elhelyezni. Az áramkör megvalósítása az adatlapi ajánlás alapján történt. Az átalakítóban található belső referencia feszültségnek is van egy kivezetése (FILT), ahová az adatlapi ajánlás alapján kondenzátorokat kellett helyezni. A harmadik ilyen kivezetés a CM (Common Mode reference), amely az áramkörre kapcsolódó műveleti erősítők offset feszültségét biztosítja. Ezt a lábat is az adatlap alapján szűrni kellett, valamint majd a nyomtatott áramkör huzalozásánál figyelni kell, hogy minél közelebb kerüljön az átalakító lábához. A CM kimenet maximális árama 0,5 mA, amit figyelembe kell venni a műveleti erősítők kiválasztásakor.

A CM lábon az 1,5 V-os feszültség biztosítja a szinteltolást. A digitális analóg átalakító kimenete szintén 1,5 V-al van eltolva és ahhoz képest $\pm 1,27$ V-os amplitúdót állít elő.

Tápfeszültségből az áramkörnek szüksége van egy digitálisra és egy analógra is, ugyanúgy, ahogyan a csúcsértékképző áramkör analóg digitális átalakítójánál láttuk. Mivel az áramkör analóg részén is digitális működésről beszélünk, ezért több lehetséges bekötés merülhet fel.

- I. Az egész áramkör az analóg tápfeszültségről jár, és arról szűrjük le a digitálisat.
- II. Az egész áramkör digitális tápfeszültségről jár, és arról szűrjük le az analógot.
- III. Az áramkör külön kap digitális, és analóg tápfeszültséget is.

Az I. verzió működőképes lehet, viszont mivel az átalakító digitális földje rácsatlakozik az analógra, így a fellépő zavarok ott továbbterjedve az analóg részek működését befolyásolhatják [13].

A II. bekötési módnál az a probléma lép fel, hogy mivel az áramkörünk a digitális tápfeszültségre van kötve, így az összes referenciapont ennek a földjéhez van viszonyítva, viszont az összes műveleti erősítő (ki és bemenetek erősítői) egy külön analóg tápfeszültségről és egy hozzá tartozó föld potenciálról fog működni. Mivel a két különálló föld a bejövő tápegységnél válik kétfelé (zajvédelmi okokból), így egy jelentős szakaszból beszélünk, amelyen biztosan potenciálkülönbség fog fellépni, illetve rengeteg zajt lesz alkalma összeszedni. Ez a mód biztos elvetésre került.

A III. lehetőség, miszerint külön tápláljuk meg analóg és digitális tápfeszültséggel is, teljes mértékben megfelelő. Mivel az átalakítónk állítja elő a műveleti erősítők offszet feszültségét, ezért fontos hogy ez a szakasz minél rövidebb legyen. Ezt csak úgy tudjuk kivitelezni, hogyha ugyanazt a földpotenciált kapja meg az átalakító, mint a műveleti erősítők. Ezen felül a digitális rész leválasztásra került azáltal, hogy egy külön tápegységről és földelésről működik. Az így megvalósított tápegység bekötését figyelhetjük meg az 5.16-os ábrán is. Mivel az átalakító analóg részegysége is digitális működésű, ezért a jó minőségű szűrés elengedhetetlen volt. Itt egy másodfokú szűrőt alakítottam ki (-40 dB/dekád) 15,17 kHz-es törésponti frekvenciával, így védve a műveleti erősítőket a magas frekvenciás zavaroktól. A digitális tápegység az eddig is használt ferrit bead-es X7R-es kondenzátoros szűrőegységgel valósult meg.

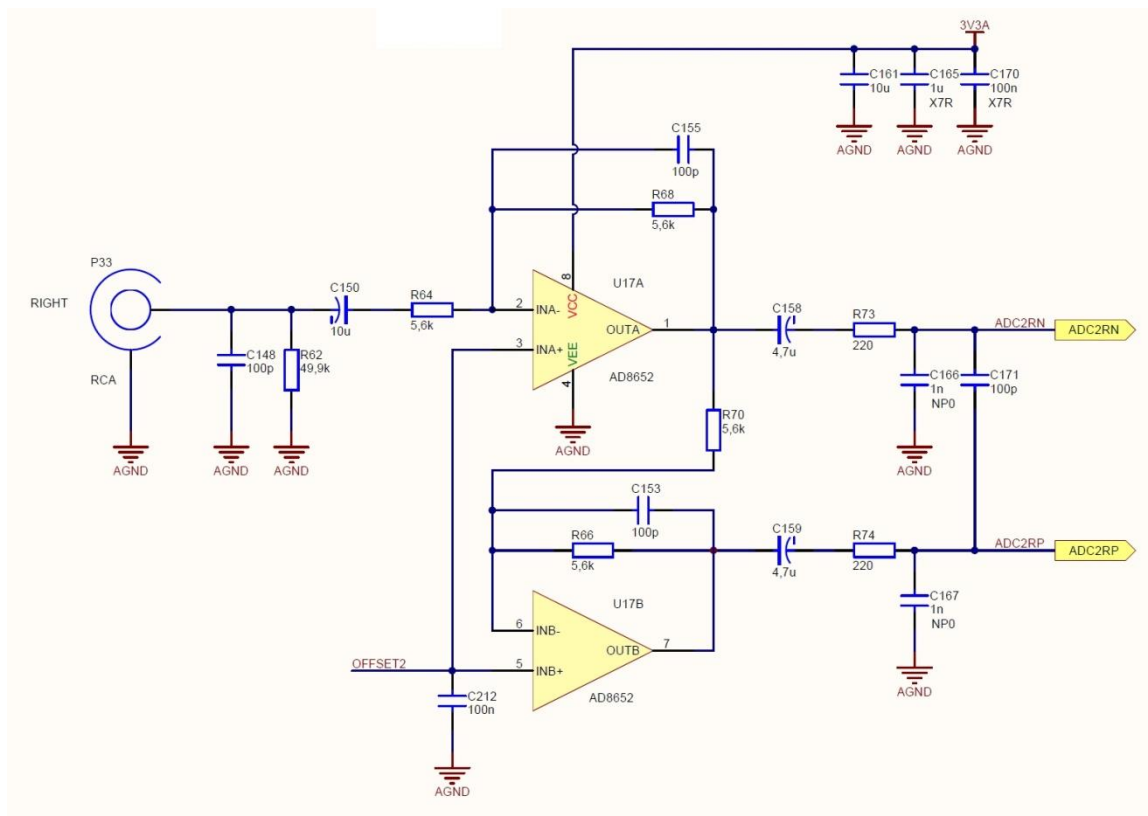
Az átalakító kommunikációs protokolljainak bekötését az Altium Designer leírásánál említett kábelkorbáccsal oldottam meg, így átláthatóbbá téve a kapcsolási rajzot.

5.8.2. Audió bemenet

Mivel az ADAU1328-as codec bemenete differenciális (szimmetrikus), így az RCA bemenetnél egy asszimmetrikus-szimmetrikus átalakítót kellett alkalmazni. A phoenix csatlakozón szimmetrikus audió jel kerül továbbításra, így annak az illesztése az átalakítóhoz nem bonyolult. Az audió jelek szabványos jelszintje 775 mV rms, vagyis 1,1 V-os az amplitúdójuk, így minden esetben erre a feszültségre méreteztek. Mivel a csúcstól csúcsig érték 2,2 V-nak adódik, így nyugodtan lehet 3,3 V-os analóg tápfeszültségről üzemeltetni a műveleti erősítőket. Az átalakító áramkör által szolgáltatott offszet feszültség az 1,5 V-os értékével is illeszkedik a szabványhoz. Kicsit most előre tekintek, mert a műveleti erősítő választást az audió kimenethez kellett optimalizálni, mivel a szigma-delta átalakító miatt magas frekvenciás zavarok találhatók a kimeneten, amelyek eredményes szűrését egy nagy sávszélességű és slew-rate értékű erősítővel lehet hatásosan megoldani. A választás az AD8652-es típusra [22] esett, melynek fontosabb paraméterei:

- 50 MHz sávszélesség,
- 41 V/ μ s slew-rate,
- szimpla 2,7 V-5,5 V-os tápfeszültségigény,
- alacsony zaj: 4,5 nV/ $\sqrt{\text{Hz}}$.

A műveleti erősítő típusának megfelelőségét az is erősíti, hogy a DSP fejlesztő kártyáján [16] ugyanez az áramkör található, egy megegyező paraméterű digitális-analóg átalakító környezetében. Amennyiben az audió interfész bemenetein is ezt az eszközt használjuk, az nem befolyásolja a rendeltetés szerű működést.

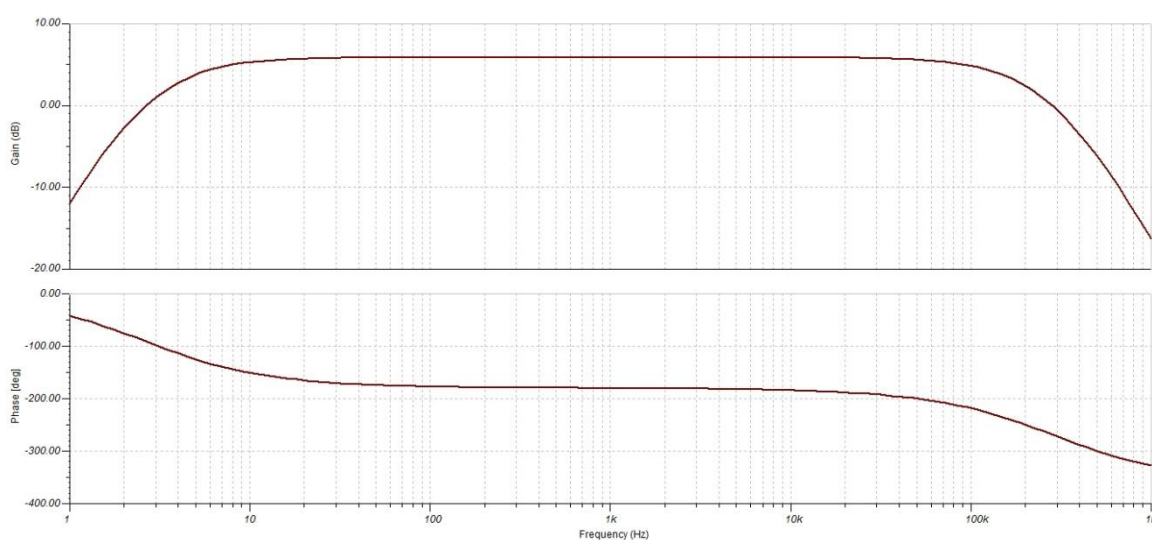


5.17. Ábra: Aszimmetrikus bemenet kapcsolási rajza

Az 5.17-es ábrán láthatjuk a megvalósított kapcsolást az **RCA** bemeneti interfészre. A sztereó bemenet miatt két ilyen kapcsolás került megvalósításra. A műveleti erősítő körüli alkatrészek az analóg-digitális átalakító adatlapjából származnak. Az „offset2” nevű összeköttetés az átalakító áramkör CM (5.16-os ábra 38-as láb), 1,5 V-os referencia kimenetéhez csatlakozik. Az erősítő bemenetébe szivárgó áram maximum 600 pA, így jelentős mennyiségű ilyen áramkör kellene, hogy a CM láb maximális 0,5 mA-es terhelhetőségét túllépjük. Mivel egy tesztpanelről beszélünk, ezért elképzelhető, hogy a megvalósítás után a műveleti erősítő típusát megváltoztatják, ezért az eshetőség kedvéért egy egyszerű követő erősítőt terveztem az átalakító áramkör CM lábára, így növelve a terhelhetőségét.

A C150-es kondenzátor, és R64-es soros felüláteresztő szűrő a bemenetről származó egyenfeszültség leválasztásáért felelős. Törésponti frekvenciája az (5.5)-ös képlet

értelmében 2,8 Hz-nek adódik. A műveleti erősítő visszacsatolásában szereplő kondenzátor egy elsőfokú aluláteresztő szűrőt valósít meg ($f_c = 284 \text{ kHz}$). A kimeneti RC szűrő szintén aluláteresztő hatású, csak nagyobb frekvenciára méretezve ($f_c = 723 \text{ kHz}$). A magas frekvenciás komponens szűrésére NP0-ás kondenzátor használata az ajánlott, mivel nem beszélhetünk kapacitásfüggésről a frekvencia függvényében, illetve jobb elektromos paraméterekkel rendelkezik (KOA Speer Electronics mérési eredmények 10 MHz-ig vizsgálva[10]). Az áramkör Bode diagramja, valóságos SPICE modellt használva az 5.18-as ábrán látható.



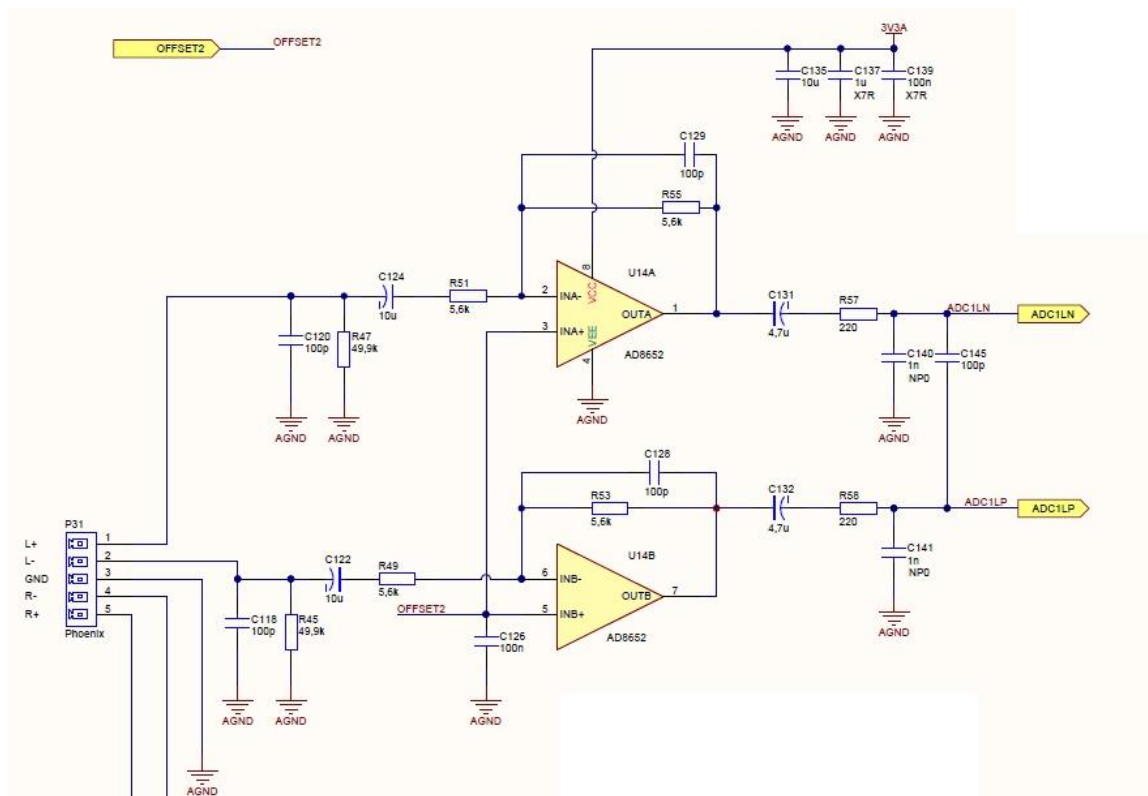
5.18. Ábra: Asszimmetrikus bemenet Bode diagramja

Megfigyelhetjük, hogy a megvalósított áramkör sávszűrőként működik, úgy ahogy az előzetes ellenőrzésből kiderült. A 20 Hz-től 20 kHz-es tartományban (hangfrekvencia) az erősítés megváltozása elhanyagolható és a fázisban sincs jelentős eltérés. A 6 dB-es feszültségerősítés egyértelműen következik a kimenetek ellenfázisú meghajtásából, egységnyi erősítéssel, mivel az analóg-digitális átalakító bemenő jele a két kimenet különbsége. Így pont kétszeres feszültséget kapunk a bemenő jelhez képest.

A tápfeszültség szűréséről az összes műveleti erősítő közvetlen környezetében X7R-es dielektrikumú kapacitások gondoskodnak. Mivel egy különálló szűrt tápegységet kaptak, így a soros induktivitást elhagytam minden esetben.

A **phoenix** csatlakozóval megvalósított szimmetrikus bemenetnél, ugyanilyen törésponti frekvenciákkal megvalósított neminvertáló műveleti erősítős kapcsolásokat használtam fel, minden bemeneten külön-külön. Az invertálás miatt a pozitívnak kijelölt

bemenet a differenciális bemenet negatívának kinevezett részéhez csatlakozik. Az aszimmetrikus tápfeszültség használatából eredően itt is szükséges volt az integrált digitális-analóg átalakító által előállított 1,5 V-os offset feszültséget felhasználni. Mivel a törésponti frekvenciák azonosak, így a Bode diagramot nem közlöm, csak a kapcsolási rajzot, amely az 5.19-es ábrán látható.



5.19. Ábra: Szimmetrikus bemenet kapcsolási rajza

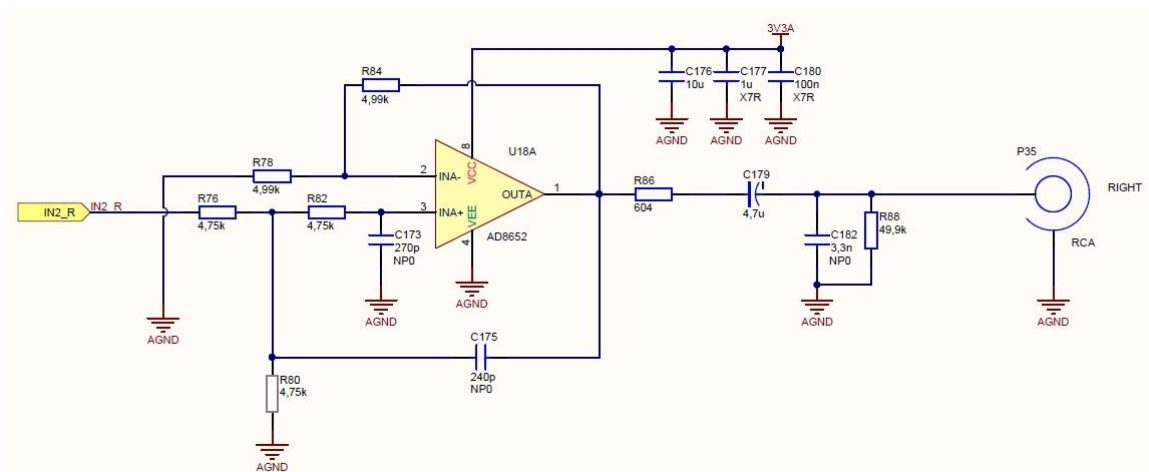
Az 5.19-es ábra és az 5.18-as ábra között megfigyelhető az azonosság, ami az azonos törésponti frekvenciákhoz vezet.

5.8.3. Audió kimenet

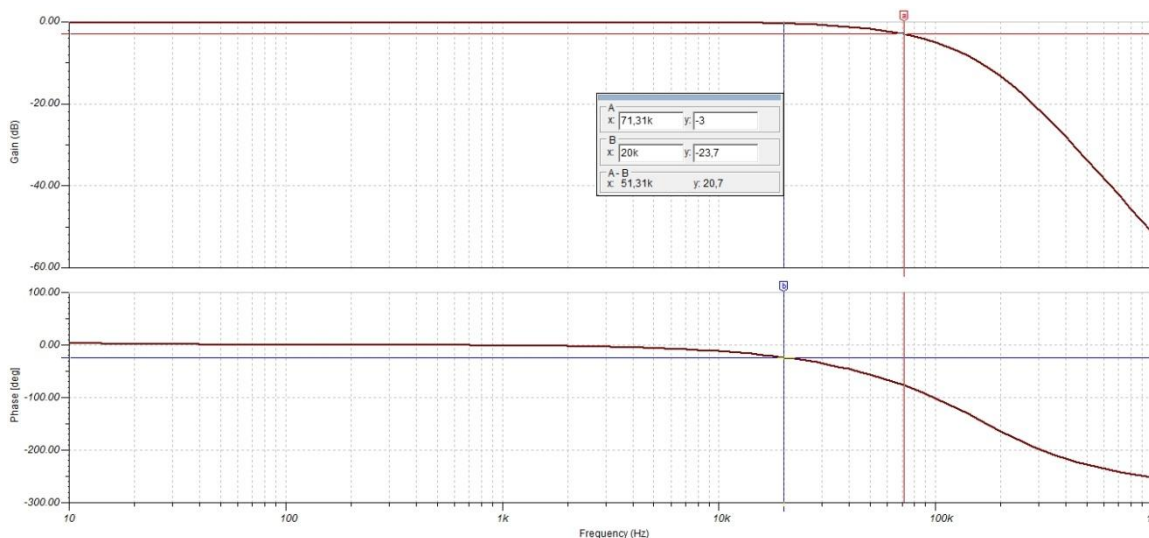
Az ADAU1328-as codec asszimmetrikus (single ended) kimenetekkel van ellátva, így az RCA kimenethez elegendő volt egy egyszerűbb műveleti erősítő alapkiosztás, viszont a szimmetrikus kimenethez kellett egy aszimmetrikus-szimmetrikus átalakítót használni. Mivel a szigma-delta átalakító magas túlmintavételezési órajellel rendelkezik, így ennek megfelelően nagyfrekvenciás komponensek vannak jelen a kimeneten. Emiatt az adatlapon egy harmadrendű aluláteresztő szűrőt írnak elő, amelyre ajánlott kapcsolási rajzot is közölnek (aszimmetrikus kimenet). Ezen a rajzon az OP275-ös típusú műveleti erősítőt alkalmazzák, amely számomra nem megfelelő, mivel szimmetrikus

± 15 V-os tápfeszültséget igényel. Ennek megfelelően új műveleti erősítőt kellett nézni, amelynek a típusa az előző részben ismertetett AD8652. Ez az erősítő 5-ször nagyobb sávszélességgel, és közel 2-szer nagyobb slew-rate értékkel rendelkezik, mint az OP275-ös típus (azonos THD (Total Harmonic Distortion) és zaj mellett).

Az aszimmetrikus kimenetű RCA csatlakozóval ellátott részegység kapcsolási rajza, és Bode diagramja (SPICE modellel) az 5.20-as és 5.21-es ábrán látható.



5.20. Ábra: Aszimmetrikus kimenet kapcsolási rajza

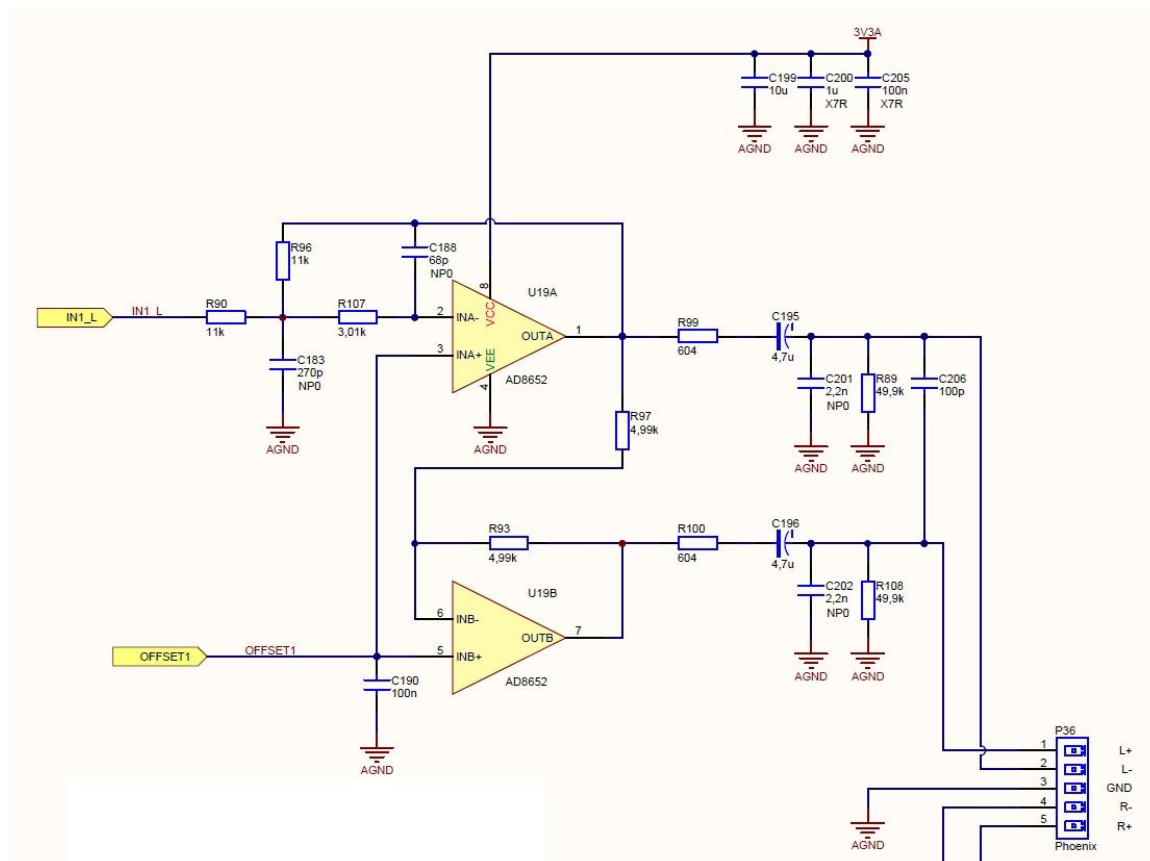


5.21. Ábra: Aszimmetrikus kimenet Bode diagramja

Az 5.20-as ábrán R76 és R80 feszültségosztót alkot, mivel a neminvertáló kapcsolás miatt a feszültségerősítés 2-szeres. Egyenfeszültségű eltolást nem kell alkalmazni, mivel a digitális-analóg átalakító kimenete 1,5 V-os offszettel rendelkezik. A C179-es elektrolit kondenzátor szerepe a kimeneti egyenfeszültség megszűrése. C179

R88-al felüláteresztő szűrőt képez, melynek törésponti frekvenciája 0,68 Hz, ezért is nem látszódik a 10 Hz-től induló Bode diagramban. Mivel harmadfokú szűrőt kell alkalmazni a kimeneten, amely nem kívánt fázistolást okozhat, így a törésponti frekvenciát a hangfrekvenciás sávtól messzebb kell helyezni, hogy a fáziskarakterisztika ne változzon jelentősen a hangfrekvenciás tartomány végén. Láthatjuk, hogy az adatlapi ajánlás szerinti paraméterekkel a -3 dB-es amplitúdóhoz tartozó frekvencia 71 kHz-nek adódik és még így is -23°-os fázistolás tapasztalható 20 kHz-en.

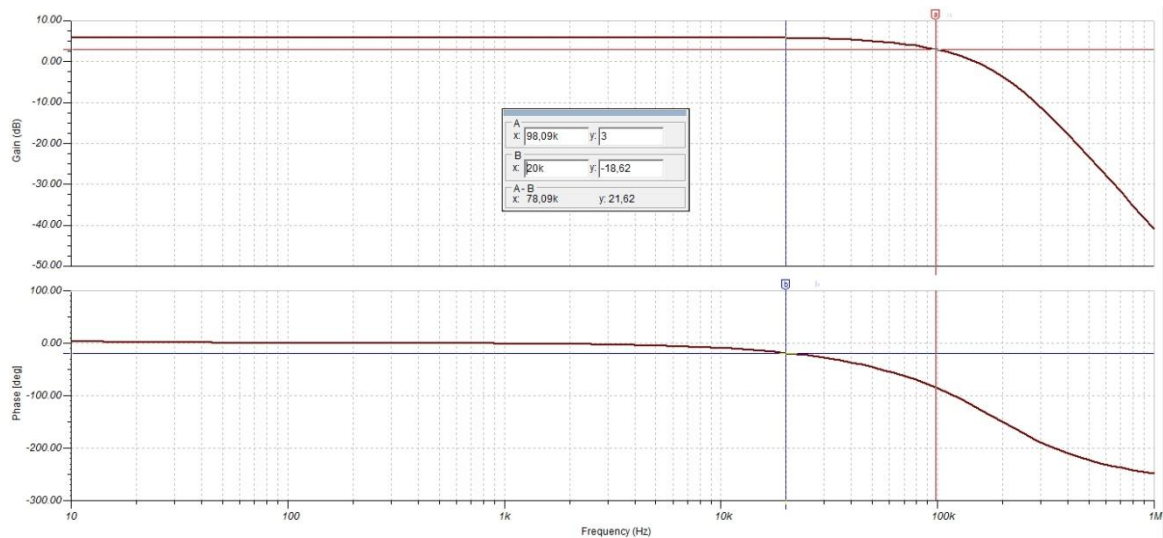
A phoenix csatlakozóval rendelkező szimmetrikus kimenethez egy aszimmetrikus-szimmetrikus átalakítót kellett tervezni, amely szintén harmadrendű aluláteresztő szűrőt képez. Az áramkört az aszimmetrikus bemeneten található átalakító mintájára tervezve két invertáló kapcsolás sorba kötésével alkottam meg, ahol az első invertáló tag egy másodfokú Sallen-Key típusú aluláteresztő szűrőt realizál.



5.22. Ábra: Szimmetrikus kimenet kapcsolási rajza

A másodfokú invertáló aktív aluláteresztő szűrő környező alkatrészeit az ADAU1328-as adatlapi ajánlás alapján választottam. A kimeneten C195, C196, R89, R108 az egyenfeszültség szűrésért felelős (<10 Hz). A harmadik szűrő tagot R99-C201 és

R100-C202 valósítja meg. Az így megtervezett áramkör Bode diagramja az 5.23-as ábrán látható.



5.23. Ábra: Szimmetrikus kimenet Bode diagramja

A -3 dB-es amplitúdóhoz tartozó frekvencia 98 kHz-re esik, továbbá a 20 kHz-es frekvencián -18,6° a fáziseltérést tapasztalunk. A 6 dB-es erősítés itt is az aszimmetrikus-szimmetrikus átalakító miatt lép fel, ahogy az audió bemenetnél láttuk.

5.9. Kezelőfelület

A megvalósított eszközt természetesen valamilyen úton vezérelni szeretnénk, illetve a mért eredményeit megjeleníteni. A tervezés során eldőlt, hogy mind a két lehetőséget célszerű megvalósítani.

LCD-s kezelőfelületként egy a Lightware által használt belső tervezésű előlapi panelt választottam, amely rendelkezik egy 2x16 soros alfanumerikus kijelzővel (+háttérvilágítás), 6 nyomógommbal a menüben navigálásra (4 irány, kilépés, belépés), egy közvetlen kivezetésű RESET nyomógommbal, 8 db előlapi leddel és egy USB csatlakozóval, ami el van látva ESD védelemmel. Mivel az előlapon található USB kivezetés, ezért a DSP környezetébe egy UART-USB átalakítót kell tervezni és összekötni az előlapi panel csatlakozójával, így megvalósítható a PC oldali kezelőfelület. A reset nyomógombon és az USB-n kívül minden 2 db PCA9552-es típusú (16 bit I2C bus driver) I2C interfésszel kommunikáló áramkörbe van vezetve, így sok összeköttetést megspórolva a DSP oldaláról nézve. Ezeknek az eszközöknek a címe a rájuk kötött nyomógombok, ledék, LCD kommunikációs vonalak pontos bekötése programozáskor

lesz lényeges. A hardvertervezés szempontjából elég tudni, hogy I2C-n keresztül, érhetőek el ezek a perifériák. A működtetéshez szükséges 3,3 V és 5 V-is, amelyből az 5 V az LCD háttérvilágítása miatt szükséges. Az itt található reset kivezetés fogja az RC tag kondenzátorát rövidre zárni, amelyet a DSP környező áramköreinél említettem. Mivel a kezelőfelület közvetlen bemenetén találhatóak szűrő kondenzátorok (100 μ F), így csak egy soros induktivitást illesztettem a csatlakozó kivezetése elé, hogy szűrje a tápfeszültséget. Az induktivitás értéke 10 μ H, így a törésponti frekvencia

$$f_c = \frac{1}{2\pi\sqrt{LC}} \quad (5.9)$$

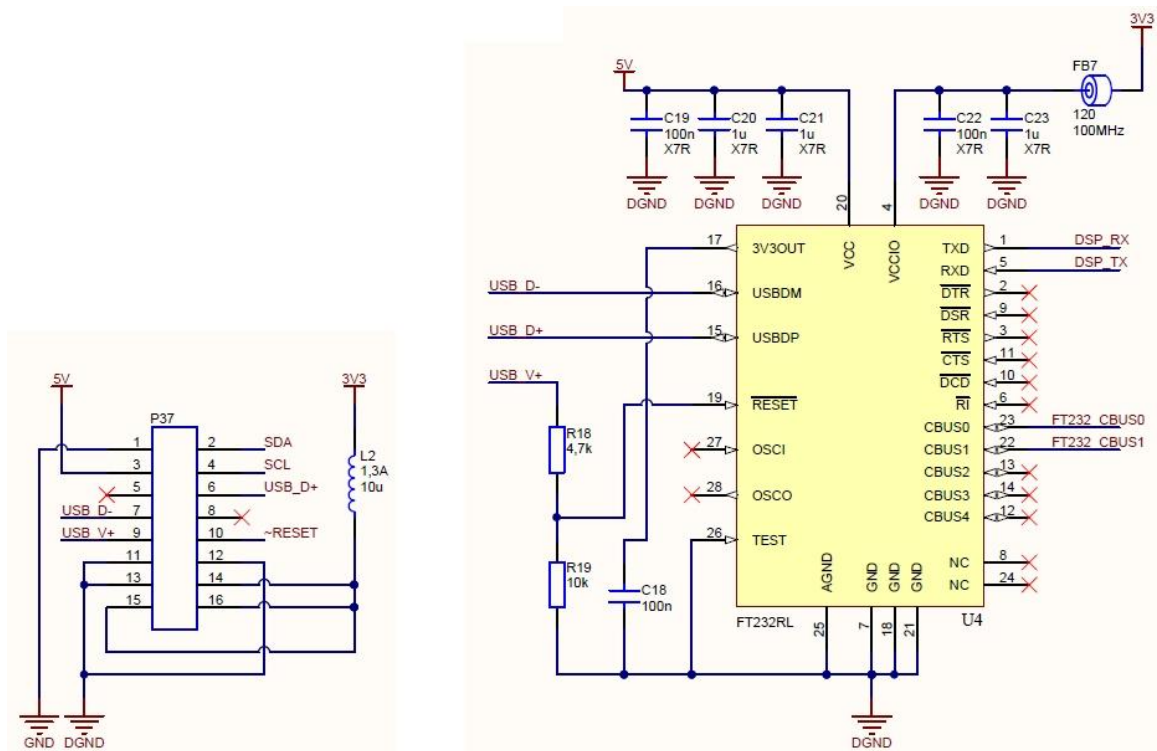
értelmében \sim 5 kHz. Az 5 V-os tápfeszültség nem került külön szűrésre, mivel arról csak az LCD háttérvilágítása működik folytonos üzemben. Vagyis nem terheli semmilyen váltakozó komponens, illetve nem érzékeny a zavarokra, így az előlapi panelen található 100 μ F-os elektrolit kondenzátor teljes mértékben elégséges.

A csatlakozó típusának és a kivezetések helyének pontos ismeretében a tervezett próbapanelen elhelyezhető egy ugyan ilyen csatlakozó. Így a két eszközt egy szalagkábel fogja összekötni.

5.9.1. UART-USB interfész

Erre a megoldásra kézenfekvő döntés volt az FT232-es áramkör [23]. A gyakorlatban sok helyen alkalmazzák ezt az eszközt. Minimális mennyiségű külső alkatrészt igényel a működéshez. Két tápfeszültség bemenettel (V_{CC} , V_{CCIO}) rendelkezik, amelyek közül az egyik az USB kommunikációért felelős, vagyis +5 V a feszültségigénye, a másik pedig a ki és bemeneti lábak vezérléséhez szükséges, ezáltal biztosítva a megfelelő szintillesztést a vele kommunikáló egységgel. Ez a feszültség tetszőlegesen választható 1,8 V-tól egészen 5,25 V-ig. Mivel a DSP 3,3 V-ról működik, így ezt a feszültséget használtam fel az eszköz tápellátására (V_{CCIO}). Az 5 V-os feszültséget az eszköz kaphatja az USB vonalról is, viszont így figyelni kell, hogy azt ne terheljük túl (USB hub esetében maximum 100 mA). Mivel rendelkezésünkre áll 5 V-os tápfeszültség, így én arról tápláltam meg az FT232-es áramkört (V_{CC}). Az eszköz az 5 V-os feszültségből saját magának előállít egy 3,3 V-os feszültséget, ami a belső működéséhez kell. Ennek a belső feszültségnek a szűrésére ki van vezetve egy láb, ahová egy 100 nF-os kondenzátort kell csatlakoztatni. Mivel nem az USB-ről kapja az FT232, az 5 V-os feszültséget, ezért hogy érzékelje az eszközünk, hogy össze van kötve egy

másik USB-s eszközzel, az adatlapi ajánlás szerint egy feszültség osztón keresztül a reset lábára kell vezetni az USB 5 V-os feszültségét.



5.24. Ábra: UART-USB interfész kapcsolási rajza

Az 5.24-es ábrán az FT232-es áramkörrel megvalósított USB interfészt láthatjuk, az előlapi kezelőfelület csatlakozójának bekötésével együtt. A 3,3 V-os tápfeszültséget az eddig is használt ferrit bead és X7R-es kondenzátorokkal szűrtem meg. Az 5 V-os tápfeszültségnél nem használtam soros ferrit bead-et, mivel ezt a feszültséget csak a háttérvilágítás használja, ami nem kelt zavarokat. Az 5 V-os tápfeszültség pedig már eleve szűrve van (10. fejezet tápegység részben leírva).

A CBUS0-4 lábak szabadon konfigurálhatóak az adott célra. Az UART kommunikációhoz nem szükségesek ezek használata. Jelzésre szolgálhat pl. egy ledet meghajtva, hogy van kommunikáció az USB vonalon adás, vagy vétel irányba. Ezt a jelet a DSP feldolgozza, és I2C protokollon elküldi az előlapi panelnek, ahol az adott led működésbe lép. Látszik a kapcsolási rajzon, hogy az eszköznek sok lába van, amit nem használunk semmire. Ennek az oka az, hogy ismer több kommunikációs protokollt az eszköz, ilyenek az RS232, RS485, és RS422. Az áramkör pontos működése számítógép segítségével az USB csatlakozón keresztül programozható fel egy szoftver segítségével.

5.10. Tápegység

A tervezés folyamán az alkatrészeket próbáltam úgy választani, hogy a lehető legtöbb alkatrész azonos feszültségről működjön. Minden egység nagyrészt 3,3 V-os feszültségről üzemel. Ez alól részben kivétel a DSP, mert 1,1 V-ot is igényel, valamint a kezelőfelülethez kell 5 V mind az LCD háttérvilágításhoz, mind az FT232-es UART-USB átalakítóhoz. Továbbá az audió rész összes műveleti erősítője egy különálló „analóg 3,3 V”-ról működik. Ezt az „analóg” feszültséget a „sima” 3,3 V-ról választom le, egy LC szűrővel. Amennyiben a külső tápfeszültséget 5 V-nak választjuk, csak két feszültséget kell előállítani. A másik lehetőség a 12 V-os bemeneti tápegység választás, de feleslegesen túlbonyolítaná az áramkört. (Lightware Kft által ez a 2 érték használt)

Miután kiderült, hogy 5 V-os külső táplálást választok, fel kellett becsléni az összes áramköri rész maximális fogyasztását. Ezek az adatok az adatlapokból kiolvashatóak, illetve hozzáadódtak az egyéb külső alkatrészek (pl.: feszültségosztó, terhelés).

| Részegység | áramkör | feszültség (V) | áram (mA) | teljesítmény (mW) | áram min (mA) |
|------------------|------------------|----------------|-----------|-------------------|---------------|
| SPDIF adó | SN74LVC1G08 | 3,3 | 48 | 158,4 | 5 |
| SPDIF vevő | SN65LVDS2D | 3,3 | 20 | 60 | 4 |
| ADC DAC | ADAU1328 | 3,3 | 130 | 429 | 25 |
| műv erősítő | AD8652 | 3,3 | 180 | 594 | 140 |
| USART USB | FT232R | 3,3 | 15 | 49,5 | 15 |
| | | 5 | | | |
| DSP | ADSP-21489 | 3,3 | | | |
| | | 1,1 | 900 | 990 | 380 |
| kezelő felület | háttér világítás | 5 | 138 | 690 | 0 |
| | | 3,3 | 200 | 660 | 10 |
| ADC | MAX11200 | 3,3 | 1 | 3,3 | 1 |
| csúcsérték képző | MAX4418 | 3,3 | 6,8 | 5,28 | 5,6 |

5.25. Ábra: Teljesítmény és áram igények

Az 5.25-ös ábrán láthatjuk, hogy két helyen nincs megadva áramfelvétel. Ezeket az értékeket nem közölték az adatlapok. Az FT232-es áramkör áramfelvételét úgy adták meg, hogy mind a két tápfeszültsége 5 V-ról üzemel, és úgy 15 mA a teljes áram. A DSP 3,3 V-os részéről semmilyen információ nem áll rendelkezésre. Erről ugyebár a perifériák működnek, úgyhogy a maximális áramfelvétele függ a frekvenciától és a rajta lévő

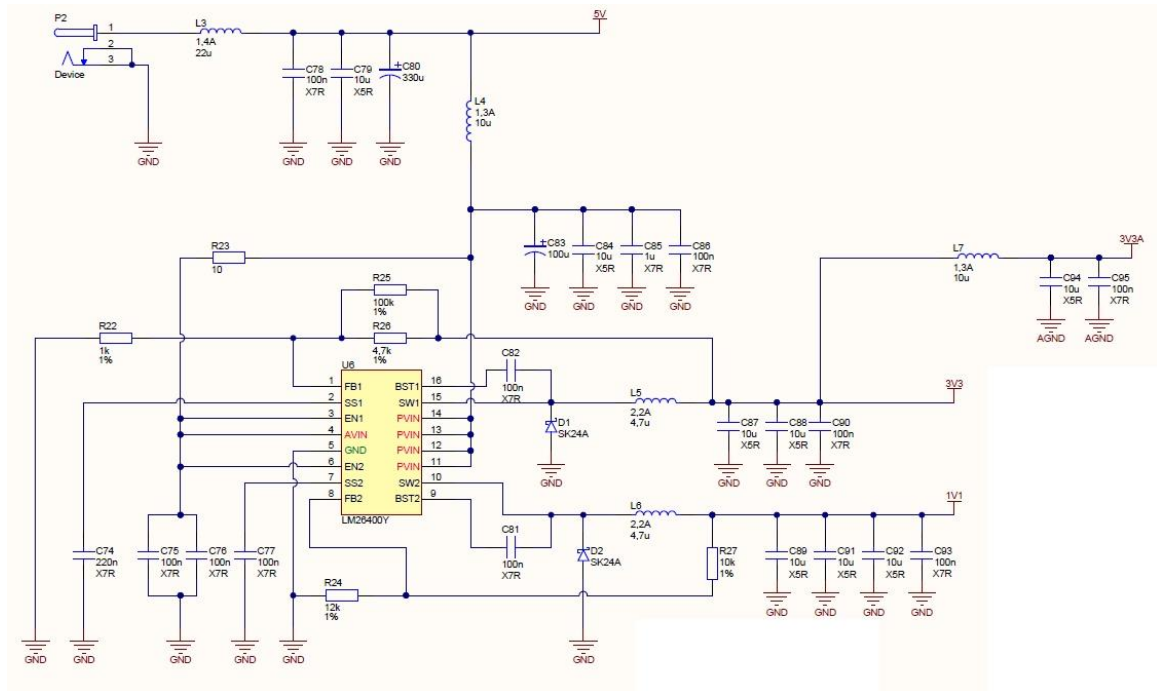
terhelésektől (később látni fogjuk, hogy ez maximum 10 mA-re adódik). Az 1,1 V-os belső működéshez szükséges áramfelvétel két összetevőből áll. Egyik egy statikus, ami mindig jelen van a tápfeszültség és a hőmérséklet függvényében, a másik pedig egy dinamikus, ami a belső órajeltől, a tápfeszültségtől és az éppen aktuális számítási teljesítménytől függ. A maximális statikus áramfelvételt 55 C°-os hőmérsékletre, és 1,1 V-os tápfeszültségre néztem, így ~450 mA-t kaptam. A dinamikus áramfelvételt 400 MHz-es órajellel, 1,1 V-os feszültséggel és a processzor csúcs számítási kapacitásával számolva szintén 450 mA-re adódott. A minimális áramfelvétel ugyanúgy a táblázat alapján a processzor készenléti állapotával, és 25 C°-os tokhőmérséklettel számolva lett meghatározva [17].

A maximális teljesítményfelvétel ~3,6 W az ismert értékek eredményében. Biztosak lehetünk abba, hogy a bővítő kártyával együtt sem fogja meghaladni az 5 W-os teljesítmény felvételt az áramkör, mivel sem a processzor nem fog mindig csúcson járni (ez nem egy olyan bonyolultságú feladat), sem az előlapi összes LED nem fog egyszerre világítani (ezeknek a fogyasztása ingadozhat jelentősen). Ebből adódóan egy 5 V, 1 A-es tápegység képes lesz ellátni az áramkör működését (80%-os hatásfok esetében).

A feszültségstabilizátor kiválasztásánál beszélhetünk lineárisról és kapcsoló üzeműről (Step-Down). Mivel a táblázatban az összes áram összege meghaladja az 1 A-t, ezért a lineáris működési elv nem megfelelő. Kapcsolóüzemű tápegységből olyat kell keresni, amelyik lehetőleg 2 feszültséget is elő tud állítani, maximálisan 1,5 A kimenő áramra képes és nem szükséges külső kapcsoló elem (FET) a működéséhez. A választás a Texas Instruments LM26400-as áramkörére [11] esett. Fontosabb paraméterei:

- 3-20 V bementi feszültség,
- 2 db, egyenként 2 A-es kimenet,
- minimális kimenő feszültség 0,6 V,
- fix 500 kHz-es kapcsolási frekvencia,
- külön állítható lágyindítás mindkét kimenetre,
- kimeneti zárlat védelem,
- 90%-os hatásfok,
- 175 mΩ-os NMOS kapcsoló (külsőt nem igényel).

Az áramkörrel megvalósított teljes kapcsolás az 5.26-os ábrán látható.



5.26. Ábra: Tápegység kapcsolási rajza

Mivel a kiválasztott 5 V-os külső tápegység is kapcsoló üzemű, így a bemeneten egy LC tag fogadja a megfelelő szűrés érdekében. Három különböző kapacitás található a 22 μH -s induktivitás után, hogy minden frekvencián eredményesen szűrje a zavarokat. Az eredő törésponti frekvencia (5.9) értelmében 1,8 kHz. Mivel a kapcsoló üzemű tápegység párszor 10 kHz-es frekvencián működik, így legalább 40 dB-es csillapítást kapunk az esetleges zavarokra. Ezt a szűrt feszültséget fogja megkapni az FT232-es áramkör (UART-USB) és az LCD háttérvilágítása.

Továbbhaladva a bemenet felől, következik az L4, C83-86 által megvalósított újabb tápegység szűrés. Ennek feladata az UART-USB által keltett zavarok csillapítása, illetve a maradék tápfeszültségből átszűrődő zaj elnyomása. Itt már elegendő volt kisebb induktivitás és kapacitás használata, mivel az UART-USB áramkör nagyobb frekvenciás zavarokat fog kelteni. Az így kialakuló törésponti frekvencia 4,77 kHz szintén az (5.9)-es képlettel számolva. Az itt található C83-86 már az LM26400-as áramkör bemeneti puffer kondenzátorai. Majd a nyomtatott áramköri panelnél fontos szerepe lesz, hogy minél közelebb kerüljön az áramkörhöz a zavarok csillapítása miatt.

Elérkeztünk a kapcsoló üzemű tápegység alkatrészeinek méretezéséhez. Mivel a DSP tápegységeinek van egy kötött feléledési sorrendje, így ezt majd a lágyindító (soft-start) bemeneten tudjuk beállítani. A jelfeldolgozó processzor adatlapjában a 19-es

táblázatból látszódik, hogy először a belső 1,1 V-os feszültségnek, majd utána a 3,3 V-osnak kell megjelennie a bemenetén és a két feszültség felélédeése között maximum 200 ms telhet el. Amennyiben nem ez a sorrend, akkor a DSP lábainak működése nem meghatározható addig az ideig, amíg az 1,1 V-os feszültség rendelkezésre nem áll. Az LM26400-as áramkör adatlapjában a 11. oldalon található képlet alapján (itt az (5.10)-es) számítható az SS bemenetre kerülő kondenzátor értéke a bekapcsolási idő függvényében.

$$C_{SS} = \frac{I_{SS} \cdot t_{SS}}{V_{ref}} \quad (5.10)$$

Ahol I_{SS} a töltő áram, ami fixen 16 μA és V_{ref} a komparálási feszültség, ami 0,6 V. Az általam választott kapacitás értékek 100 nF és 220 nF, így az időzítések 3,75 ms és 8,25 ms lesznek.

A kimeneti feszültséget egy ellenállás osztós visszacsatolással tudjuk pontosan beállítani. A leosztott feszültség az FB (Feed-Back) lábra van bekötve és 0,6 V-ra kell méretezni. Az alkalmazott ellenállások értékét $\text{k}\Omega$ -os nagyságrendbe célszerű megválasztani. 1%-os visszacsatoló ellenállások esetében a kimenő feszültség pontossága szintén számítható egy az adatlapon közölt képlet átrendezésével.

$$\sigma = \frac{1}{1 + 2 \cdot \frac{1 - \frac{V_{FB}}{V_{OUT}}}{TOL - \phi}} \quad (5.11)$$

Ahol σ az ellenállás toleranciája, V_{FB} a visszacsatolt 0,6 V-os feszültség, V_{OUT} a kimeneti feszültség, TOL a kimenő feszültség toleranciája, ϕ a belső referencia pontossága, ami 2%. A képletből TOL -t kifejezve, megkapjuk a felhasznált ellenállásokból adódó kimeneti feszültség pontosságát, amely a következő lesz:

- 1,1 V \pm 2,9%,
- 3,3 V \pm 3,7%.

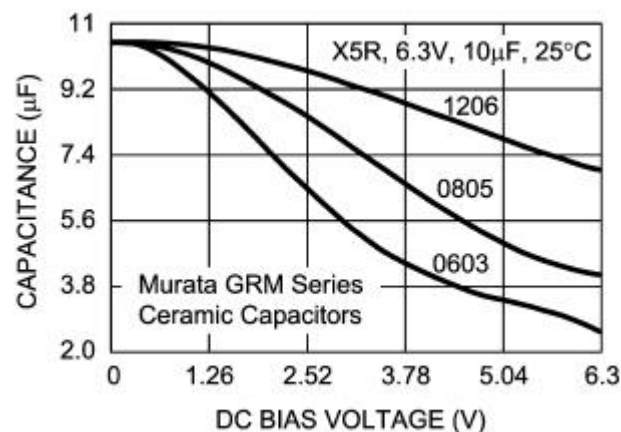
Ahhoz hogy a tápegység kimenete stabil legyen, a kimeneti stabilitást is számolni kell. Az adatlap ajánlása szerint tisztán kerámia kondenzátorral a kimeneti stabilitás számítása igen egyszerű, amit a következő képlettel tehetünk meg [11]:

$$f_C = \frac{22S \cdot \frac{V_{FB}}{V_{OUT}}}{6,28 \cdot C_{OUT}} \quad (5.12)$$

Ahol S mértékegység, mint Siemens, C_{OUT} a kimeneten lévő kapacitás, f_C a törésponti frekvencia. Stabil akkor lesz a kimenő feszültség, ha f_C értékét 20 kHz és 100 kHz között tartjuk. Az így kiszámolt stabilitási feltétel:

- 3,3 V-on: 7 μF – 30 μF
- 1,1 V-on: 20 μF – 100 μF

Ennek alapján a 3,3 V-os ágba 20 μF -ot, az 1,1 V-os ágba pedig 30 μF -ot helyeztem (X5R dielektrikum). Mivel az SMD kerámia kondenzátorok kapacitása nagyban függ a tokozás méretétől, és az egyenfeszültség nagyságától, ezért 1206-os méretű tokozást választottam. Az alábbi ábra egy mérési eredményt mutat ennek a függésnek az igazolására.



5.27. Ábra: Kapacitások egyenfeszültség függése [11]

Látható az 5.27-es ábrán, hogy egy 0603-as adott típusú kondenzátor kapacitása ~50%-ra csökkent 3,3 V-on, míg a 1206-os tokozású ~90%-ra. A kimeneti kapacitással párhuzamos, 100 nF-os X7R-es kondenzátor az esetleges magasabb frekvenciák szűrésére hivatott.

Következő feladat a kimeneten levő soros induktivitás meghatározása. Ez a feladat már összetettebb. Itt szükséges megbecsülni az áram maximális ingadozását (ripple) és ismerni a bemeneten előforduló maximális feszültséget. Mivel ennek meghatározását számítással nem tudom igazolni, így becsléssel határoztam meg. Az induktivitás számítására az alábbi képlet található az adatlapban [11].

$$L = \frac{V_{OUT} + 0,5V}{V_{IN_MAX} + 0,5V} \cdot \frac{V_{IN_MAX} - V_{OUT}}{\Delta I \cdot 500kHz} \quad (5.13)$$

Ahol V_{IN_MAX} a maximális bemenő feszültség és ΔI a maximális áramingadozás csúcstól-csúcsig. A bemenő feszültség maximális értéke 5%-os hibahatárral 5,25 V-nak adódik. Az 1,1 V-os ágban az áram maximális ingadozása a processzor dinamikus

áramfelvételének a két szélső értéke között lehet, amelyet az adatlapból kiolvastva 0,4 A-es értéket kapunk. Az induktivitás így 5,7 μH -nek adódik. Amennyiben a bemenő feszültség megnőhet akár 5,5 V-ig, illetve az áramfelvétel ingadozása 0,5 A-re módosul, úgy az induktivitás értéke 4,7 μH -nek adódik, ezért ezt az értéket használtam fel.

A 3,3 V-os ágban az áramingadozás megbecslése bonyolult, mert sok paraméter függvénye, így az adatlap által ajánlott 0,4 A és 0,8 A-es maximális áramingadozást vettem alapul. Ellenőrzés képen, hogy megfelel-e az áramfelvétel a határértéknek, visszatérek az 5.35-ös ábrára, ahol egy táblázatban látjuk a minimális és maximális áramfogyasztást. A 3,3 V-os feszültségen ez az érték minimum 205 mA és maximum 738 mA lehet, viszont ebben nincs benne a DSP 3,3 V-os ága és a bővítő kártya extra áramfelvétele. A DSP a 3,3 V-os feszültségről csak a kimeneteket kapcsolja, így az áramfelvétel a kapcsolási frekvencia, a kimenő feszültség és a kimenetet terhelő kapacitás szorzata. A meghajtott eszközök bemenő kapacitásai 4-5 pF-os értékre esnek és a legnagyobb használt frekvencia 12,5 MHz (S/PDIF, SPI ehhez közeli (10 MHz)), így az egy kimenet által igényelt áram maximum 206,25 μA lehet. Amennyiben az összes perifériás láb kimenet lenne és 12,5 MHz-es frekvenciával táplálna 5 pF-os kapacitást, akkor sem lépné túl a 10 mA-es áramfelvételt. A bővítő kártya maximális áramfelvétele nem haladhatja meg a 200 mA-t, mivel akkor túlléphetjük a tápegység 1 A-es terhelhetőségét. Így a kerekített maximális áramfelvétel 1 A-nek, a minimális pedig 200 mA-nek adódik. A maximális áramingadozás tehát 0,8 A-re adódik, ami az adatlap által is ajánlott maximális érték. A megvalósított eszköz áramingadozása biztosan kisebb értékűre fog adódni, mivel nincs értelme az összes perifériát sorozatosan le és felkapcsolni. Így az (5.13)-as képlet értelmében az induktivitás értéke 3,5 μH adódik. Mivel az áramingadozás biztosan kisebb lesz, így itt is 4,7 μH -s értéket használtam (így $\sim 0,6$ A a megengedett ingadozás).

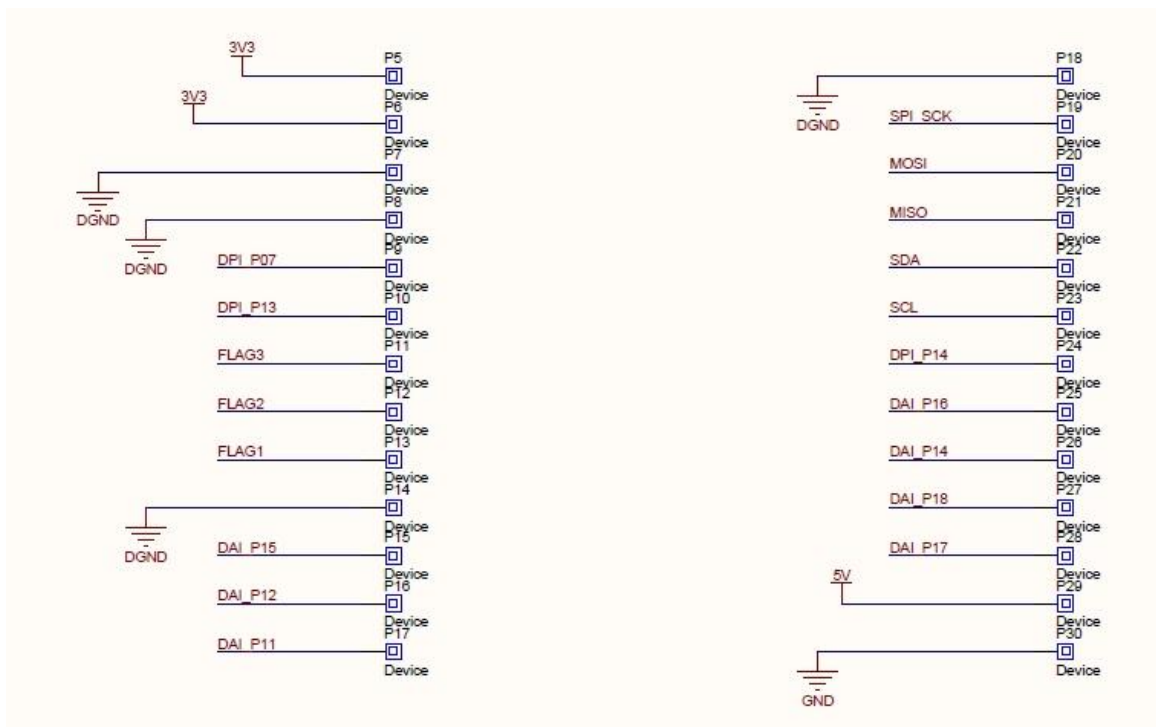
A két kimenet közül egyik sem haladja meg az 1 A-es értéket, így az induktivitás kiválasztásánál 2-szeres túlméretezéssel közelítve 2,2 A-es induktivitást választottam.

A többi alkatrész az LM26400-as áramkör körül, megegyezik az adatlapi ajánlással, kivéve a bemeneten lévő puffer kondenzátorok értéke, mert azt nagyobbra választottam, hiszen az a bemenet felőli szűrőáramkör is.

Az „analóg” 3,3 V-os feszültséget egy LC szűrővel választottam le a 3,3 V-ról. Ennek a szűrőnek a -3 dB-es amplitúdóhoz tartozó értéke ((5.9) alapján) ~ 16 kHz. Ezzel biztosítom az analóg részleg zaj-mentesebb táplálását.

5.11. Bővítő kártya

A bővítő kártya szükségessége az esetleges továbbfejlesztés miatt merült fel. Mivel a specifikáció megvalósítása után maradt szabadon több kivezetése is a DSP-nek, ezért ezeket további felhasználásra kivezettem a kártya csatlakozási helyére. Később így lehetőség lesz bővíteni az eszközhöz kapcsolódó perifériák számát. Egy mikrokontroller gondolata is felmerült a fejlesztés során, így kivezetésre kerültek a használatban lévő kommunikációs portok, vagyis az SPI és az I2C is. A kártya két „tüske sorral” fog az analízátorhoz csatlakozni. Ezen lesz majd megvalósítva az AES3/EBU interfész is egy-egy DAI típusú lábhoz csatlakozva.



5.28. Ábra: Bővítő kártya kivezetései

Az 5.28-as ábrán megfigyelhetjük, hogy több helyen is ki lett vezetve a földelés. Ennek az oka az, hogy majd a bővítőkártya megvalósításakor rugalmasabban lehessen a nyomtatott áramkört tervezni. A megtervezett áramköri kártyán ugyanebben a sorrendben kerültek elhelyezésre a kivezetések.

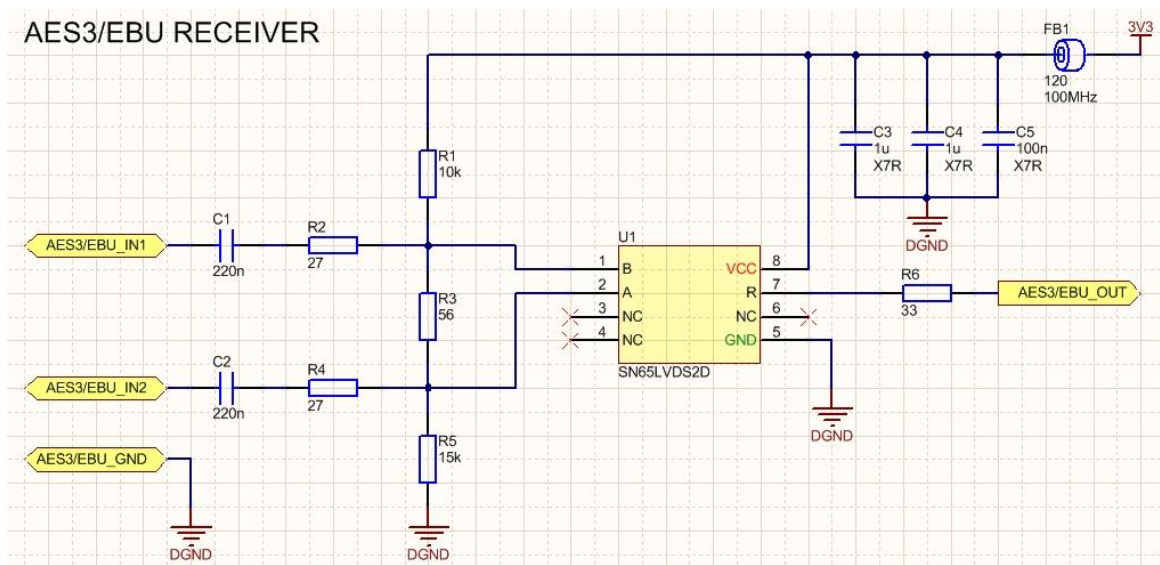
5.11.1. AES3/EBU vevő

A professzionális digitális interfész fizikai rétegének paraméterei az IEC 60958-4-es szabványban vannak leírva. A vevő egység paraméterei:

- szimmetrikus bemenet $110\ \Omega \pm 20\%$ -os bemenő ellenállással,
- minimális vételi jelszint $200\ \text{mV}$,
- maximális bemenő jel $7\ \text{V}$ csúcstól csúcsig.

A bemenet $110\ \Omega$ -of feltételének $0,1\ \text{MHz}$ -től a maximális keretfrekvencia 128 -szorosáig kell teljesülni. Mivel a maximális mintavétel itt is $192\ \text{kHz}$ lehet, így megegyező értéket kapunk, mint az S/PDIF bemenetnél ($\sim 25\ \text{MHz}$).

Vevő áramkörből differenciális bemenetűre van szükségünk. Amit az S/PDIF áramkör megvalósításánál használtam, az itt is megfelelő lesz egy kis átalakítással. Jelen esetben a probléma a $7\ \text{V}$ -os maximális jelszinttel van. Mivel az SN65LVDS2D vevő áramkör $100\ \text{mV}$ -os bemeneti küszöbvel rendelkezik, ezért a bejövő feszültséget megfelezve még mindig képes lesz detektálni a jelszinteket. Az így rendelkezésre álló maximális feszültség már csak $3,5\ \text{V}$ -nak adódik. Mivel az áramkör a bemenetén $5\ \text{V}$ -ig tolerálja a feszültséget, így ez nem fog problémát okozni. Egyenfeszültségű eltolást itt is kell alkalmazni, aminek az értékét $2\ \text{V}$ -nak választottam, mivel így biztosan nem okoz problémát a $3,5\ \text{V}$ -os jelszint.



5.29. Ábra: AES3/EBU vevő áramkör

A bejövő jel leosztását, és az impedancia illesztést R2, R3, R4 látja el. A leosztás aránya $\sim 0,51$ és az összegük pedig pont $110\ \Omega$. Az egyenfeszültségű eltolást

gyakorlatilag R1 és R5 aránya határozza meg, mivel R3 értéke elhanyagolható hozzájuk képest. Az így kialakult eltolás értéke 1,98 V. C1 és C2 csatolókapacitások szerepe ugyan az mint az S/PDIF vevő esetében, vagyis hogy ne terheljük egyenfeszültséggel az adó egységet. Az áramkör kimenete szintén egy DAI típusú lábhoz kell hogy csatlakozzon a DSP-n.

5.11.2. AES3/EBU adó

Az adó egység paraméterei a következők:

- $110 \Omega \pm 20\%$ impedancia
- 2 V – 7 V kimenő amplitúdó csúcstól csúcsig $110 \Omega \pm 1\%$ lezárással
- le és felfutási idő 5 ns és 30 ns között

Mivel a jelátvitel differenciális, így a differenciális adó egységek között kerestem megfelelő alkatrészt. Az LVDS (Low-Voltage Differential Signaling) áramkörök nem jöhettek szóba az alacsony kimeneti feszültségük miatt. Vannak még különböző nagyobb kimeneti feszültséggel rendelkező differenciális erősítők, viszont ezek mind szimmetrikus és 5 V-nál magasabb tápfeszültséget igényelnek. A megfelelő áramkört az RS422 és RS485-ös adók között találtam meg. Ezek az egységek 3,3 V-tól 5 V-os tartományig igényelnek tápfeszültséget. Egyetlen hátrányuk, hogy nagyrészüknél 10-20 Mbps a biztosított adatátviteli sebesség. A Texas Instruments kínálatából egy 40 Mbps-es eszközt választottam ki (SN65HVD05 [24]). 5 V-os tápfeszültségről működik, és tartalmaz, beépített ESD védelmet. Mivel ezeknek az eszközöknek a kimenő ellenállása nem ismert, így a kimenő feszültség meghatározása sem lehetséges a terhelés függvényében. Ezen típusú áramkörök maximális differenciális kimenő feszültsége 3 V, terhelés nélkül. Mivel egy minimum 2-szeres feszültségosztás jön létre az eszköz 110Ω -os kimenő ellenállása, és a vevő egység ugyanakkora bemeneti ellenállása miatt, így már csak 1,5 V a kimeneti feszültség, ami nem felel meg a minimális 2 V-os szabványnak. Egyből felmerül a kimeneti transzformátor gondolata, hiszen így növelhető a kimenő jelszint. Minimum 2-szeres áttétellel kell rendelkeznie, hogy elégséges legyen a kimeneti feszültség. A kétszeres áttétel miatt az adó kimenő ellenállásának a négyszerese transzformálódik a valós kimenetre. A kész adó egység $\pm 20\%$ -os tűrésű kimenő ellenállásához így, $\pm 5,5 \Omega$ pontossággal kell a transzformátor primer oldalán (adó IC felőli) beállítani az ellenállást. Az adatlapon csak egy minimális kimenő differenciális feszültség van megadva egy adott terhelésre, valamint egy grafikon a kimenő feszültség

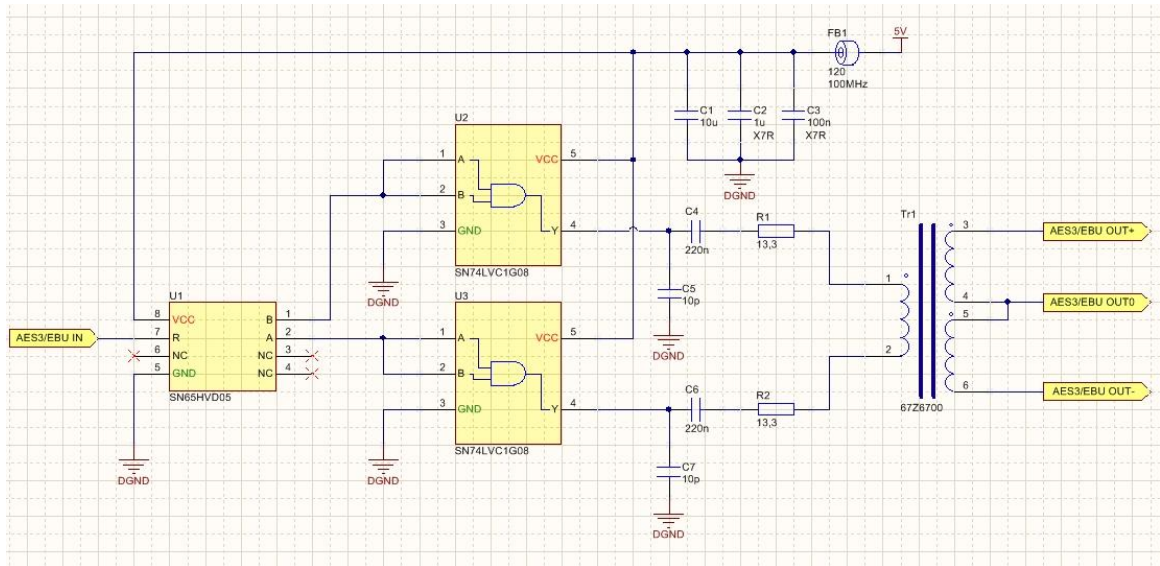
és áram között, amiből a terhelés számítható. A megadott minimális feszültségből és terhelő ellenállásból számított kimenő ellenállás és a grafikon azonos pontjában számolt kimenő ellenállás között 24Ω volt az eltérés. Ezzel az eszközzel így nem tudjuk a kimenő ellenállást pontosan (a szabványnak megfelelően) beállítani.

Ezen okok miatt, az eszközt csak a differenciális jel előállítására fogom használni. A kimeneteire buffer áramkört kell helyezni, hogy biztosítani tudjuk a megfelelő feszültséget és áramot. Ez 5 V-os tápfeszültség mellett 2,5 V-os kimenő jelet eredményez (feszültségosztás), ami megfelel a szabvány által meghatározott minimum 2 V-os jelszintnek. Működés céljából megfelel ez az érték, de szeretném a kimenő feszültséget növelni, hogy akár nagyobb távolságok is áthidalhatóak legyenek az eszközzel, ezért a kimenetre egy transzformátort kell helyezni, amivel a valós kimeneten a 110Ω -os lezárás mellett ~ 5 V-os feszültséget kapunk, csúcstól csúcsig. Mivel a differenciális jel két ellenfázisban hajtott kimenet, ezért bemenő jel hiányában a transzformátorra egyenfeszültség kerül, amit soros kondenzátor közbeiktatásával tudunk orvosolni. Itt is szükséges, hogy a legkisebb frekvencián ($22,05 \text{ kHz} \cdot 64 = 1,4112 \text{ MHz}$) elhanyagolható legyen a kondenzátor reaktanciája a többi alkatrészhez képest.

A 110Ω -os kimenő ellenállást $27,5 \Omega$ -os ellenállással tudjuk létrehozni a transzformátor miatt. A buffer áramkörnek legrosszabb esetben ($R_L=110 \Omega -20\%$) $\sim 100 \text{ mA}$ -es áramot kell szolgáltatnia 5 V-os tápfeszültség esetén.

Transzformátornak kifejezetten digitális audió átvitelre kifejlesztett típust választottam ki, ami kompatibilis az AES3/EBU szabvány frekvenciáival. Típusa 67Z6700 [25], amelyet a Vitec cég gyárt. Egy primer és két szekunder körrel rendelkezik, amelyet közösítve egy középmegecsapolásos kimenetet áll rendelkezésünkre, így a kimenet teljes mértékben le lesz választva (a középmegecsapolás lesz a „0” referencia pont).

Buffer áramkörnek az S/PDIF adónál is használt ÉS kaput alkalmazom. A maximális árama 25 mA , így 4 db-ot kell párhuzamosan kapcsolni (50 mA a maximum csúcsáram, így valószínűleg 3 db-al is megfelelően működne). Mivel a kapu által létrehozott jel felfutási ideje nem ismert, így ezt az áramkör megépítése után le kell mérni. Amennyiben túl gyors a felfutási idő, a kapu kimenetére kötött kis értékű kapacitással csökkenthető a meredeksége.



5.30. Ábra: AES3/EBU adó kapcsolási rajza

Az 5.30-as ábrán megfigyelhető az előzőekben ismertetett kapcsolás technika, annyi különbséggel, hogy jelen esetben 1-1 buffer található a kimeneten. Ez a végső verzióban négyre fog módosulni.

6. Nyomtatott áramkör tervezés

A tervezés első lépésében a PCB rétegszámát kellett definiálni. Az áramkör 4 féle tápfeszültséggel rendelkezik, amelyhez 3 földpotenciál tartozik (digitális 3,3 V-os és 1,1 V-os rész; analóg 3,3 V; 5 V). Mivel ennyi tápellátást kell biztosítani, így a megfelelő huzalozást egy 4 rétegű panelen lehet kivitelezni. A rétegfelépítés kiválasztásánál elegendő volt a külső rétegeknél 18 μm -es, a belső rétegeknél pedig 35 μm -es rézfólia használata. Vastagabb fóliát nem igényel az áramkör, mivel nem folynak nagy áramok egyik részen sem, valamint a gyártási költség is alacsonyabb lesz így. A felhasznált DSP tápszűrése kritikus a jó működés szempontjából, vagyis az összes szűrőkondenzátort közvetlenül a tápláshoz kell tenni. Mivel az eszköz LQFP-100-as tokozásban (26 x 26 mm) található és mintegy 36 db lába igényel közvetlen szűrést, ezért a rövid vezetékezés nem lett volna megoldható egyoldalas alkatrész elhelyezéssel.

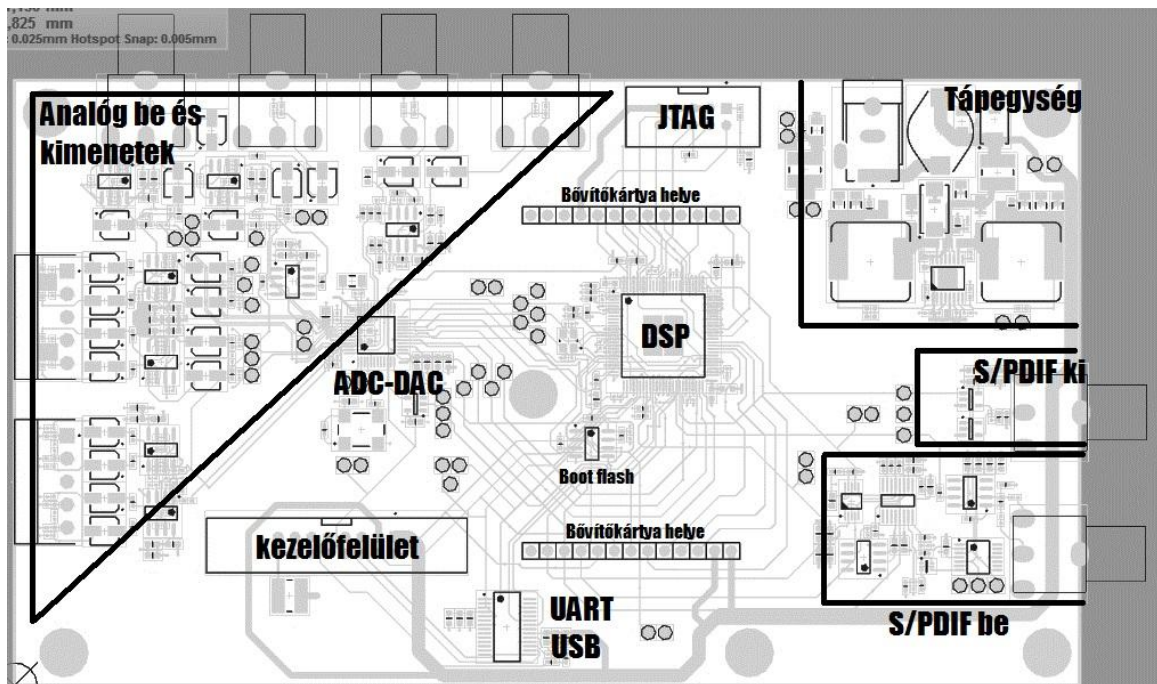
A dobozba szerelés nem merült fel a tervezés során, ezért az előlapot, ami a kezelőfelületet biztosítja, célszerű a kész áramkörhöz rögzíteni. Erre a legegyszerűbb megoldás, ha az áramkör szélessége megegyezik az előlapi panel szélességével és derékszögre hajlított fémlemezekkel egymáshoz rögzítem a két panelt, a furatok mentén. Ez két rögzítési pontot fog jelenteni. Az előlapi panel fizikai méretei ismertek, és egy 3 dimenziós step modell is rendelkezésre áll, ami az Altiumba beilleszthető és megjeleníthető.

A nyomtatott áramkör egyik dimenziója már rendelkezésünkre áll (előlap szélessége). A másik méret meghatározásához el kell helyezni az alkatrészeket. A tápegységet és alkatrészeit a PCB egyik sarkába terveztem, hogy a lehető legtávolabb legyen az érzékeny áramköröktől, mivel kapcsoló üzemi működése miatt zavarokat gerjeszt. Ezután a csatlakozók kerültek elhelyezésre az áramköri lap széléhez igazítva (phoenix, RCA). A csatlakozók pozicionálásával kialakul egy kép, hogy melyik áramköri egység hova fog kerülni. Következő lépésben az integrált áramkörök kerültek elhelyezésre, majd az összes többi maradék alkatrész. Így végül megkaptuk az áramkör másik méretét. Mivel a PCB mérete nagyobb (162 mm x 92 mm), így szükséges volt a közepére is (a 4 sarkán kívül) egy furatot elhelyezni a megfelelő mechanikai alátámasztás miatt, emiatt könnyebb lesz a bővítőkártyát a helyére tenni, mivel az a furat közelében van. A bővítőkártya a DSP fölé került elhelyezésre.

Prototípus miatt szükséges volt sok tesztpontot kivezetni a mérések végett. Tesztpontok:

- tápfeszültségek,
- I2S vonalak (ADC, DAC),
- UART Tx, Rx,
- SPI kommunikáció chip select-jei,
- reset, ADC-DAC reset,
- S/PDIF ki és bemeneti lába a DSP-nek,
- S/PDIF közvetlen bemenet,
- ADC-DAC órajele, CM láb (1,5 V offset),
- ADC differenciális bemenetei.

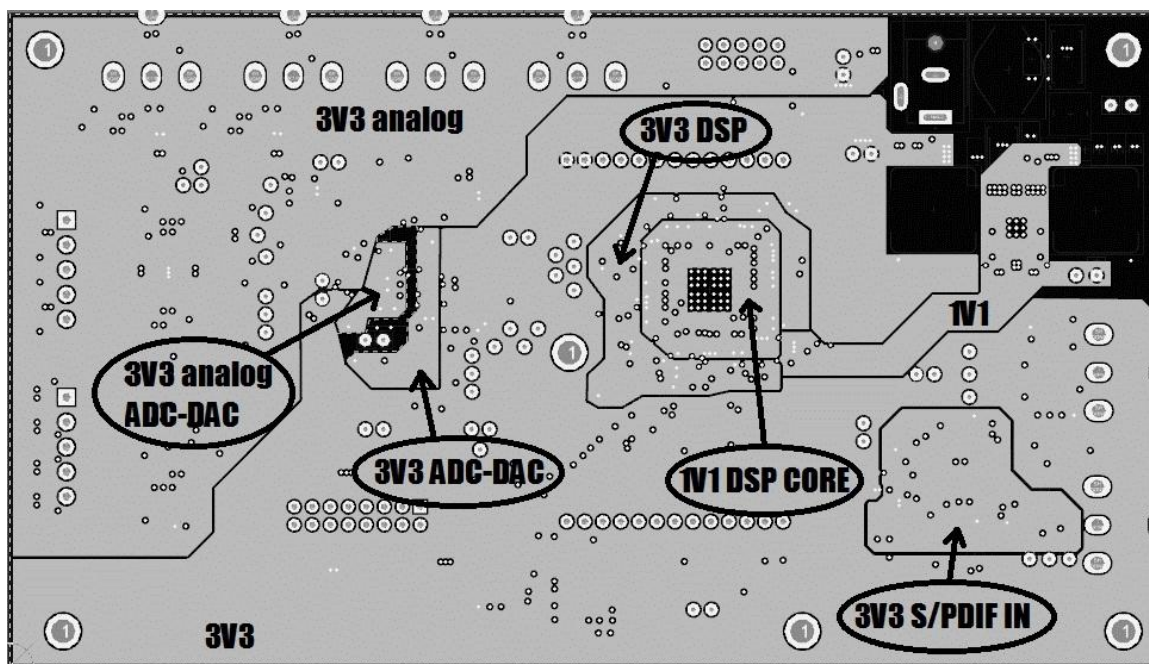
A kommunikációs vonalak nem kerültek külön tesztpontra, hiszen azok a bővítő kártyára ki lettek vezetve. Ezt a kivezetést pedig egy tűsoros jelenti, így könnyen hozzáférhetünk és mérhetünk. Fontos volt minden tesztpont környezetében egy hozzá tartozó referenciát is (föld) kivezetni.



6.1. Ábra: PCB felosztása

A 6.1-es ábrát megvizsgálva láthatjuk az alkatrészek elhelyezését a felső oldalon. Megfigyelhető, hogy a tápegység messze található az analóg szekciótól, illetve minden különálló egység viszonylag elszeparáltan helyezkedik el. Az elkülönülés miatt minden egység megáplálása viszonylag könnyen megoldható volt. Mivel minden szekció rendelkezik saját szűrő áramkörrel (általában ferrit bead és kapacitás), ezért különálló

tápszigeteket lehetett kialakítani ezeknek az egységeknek. Fontos hogy a betáplált feszültség legelőször a szűrőkondenzátorra jusson, és csak onnan ágaztathatjuk le a részegység táplálására. Ez azért fontos, mert így az áram impulzusokat közvetlenül a kondenzátorból tudja felvenni az adott eszköz, vagy eszköz-csoport, nem pedig a közös táp-potenciált „rángatja”. Az így kialakított szigeteket láthatjuk a 6.2-es ábrán.

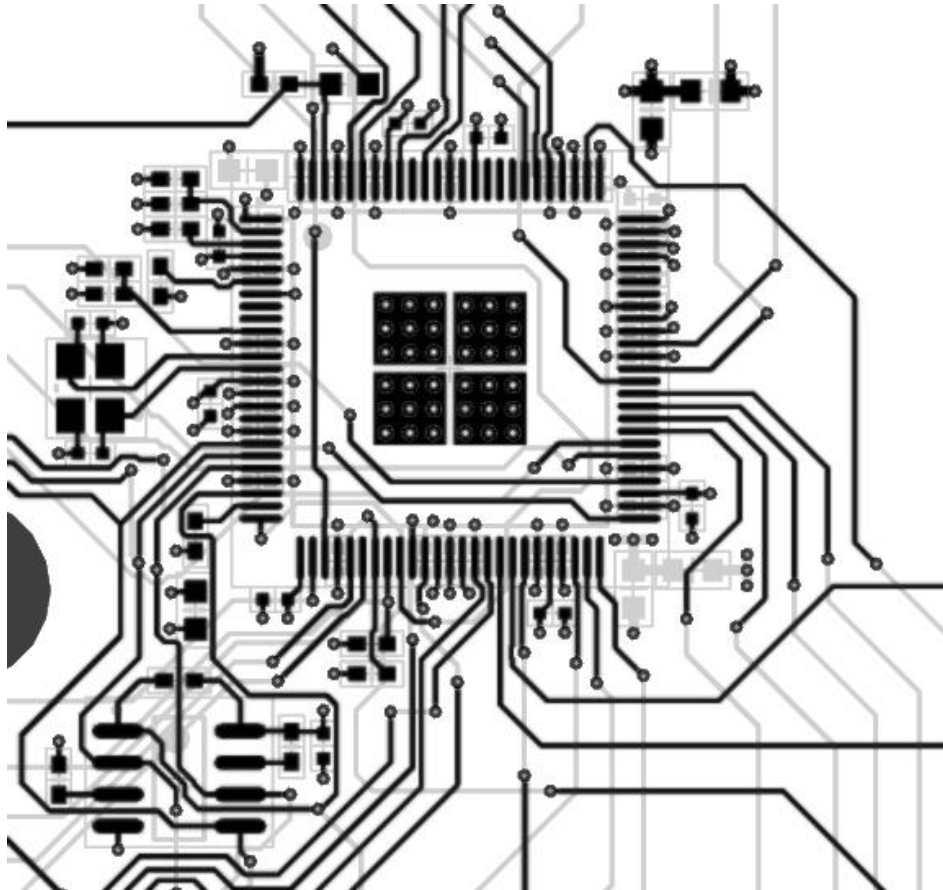


6.2. Ábra: Belső tápfeszültség fólia, és csatlakozásai

Megfigyelhető, hogy hiányzik az ábráról a negyedik tápfeszültség, az 5 V. Ennek az oka az, hogy amelyek eszközök erről a feszültségről járnak, egymás mellett kerültek elhelyezésre és a feszültség az alsó oldalon lett vezetve. Ugyan ez lesz igaz a hozzá tartozó földpotenciálról is. A többi tápfeszültség elkülönülése szépen látható az ábráról. Ezek a szigetek mind poligon nevű objektumból állnak. Különböző szabályokat kellett definiálnom az Altiumban az összes ilyen egységre. Megadtam az izolációs távolságot külön a viáktól és külön a többi poligontól. Az azonos nevű viákra teljes felülettel csatlakozik az adott tápsziget. Ez alól kivételt képeznek a tesztpontok, illetve a bővítőártya csatlakozási pontjai, mivel ha ott is teljes felülettel csatlakozna, elvonná a hő forrasztás közben, így megnehezítve azt. Ehhez külön osztályokat kellett definiálnom a kivételt jelentő alkatrész lábokról, majd egy szabályt hoztam létre a poligon és az osztály között, hogy a becsatlakozási pont ne teljes felületű legyen.

Kicsivel részletesebben kitérnék a jelfeldolgozó processzor táplálására. Mivel két tápfeszültséget is igényel így a szűrőkondenzátorok elrendezését úgy lehetett a legjobban

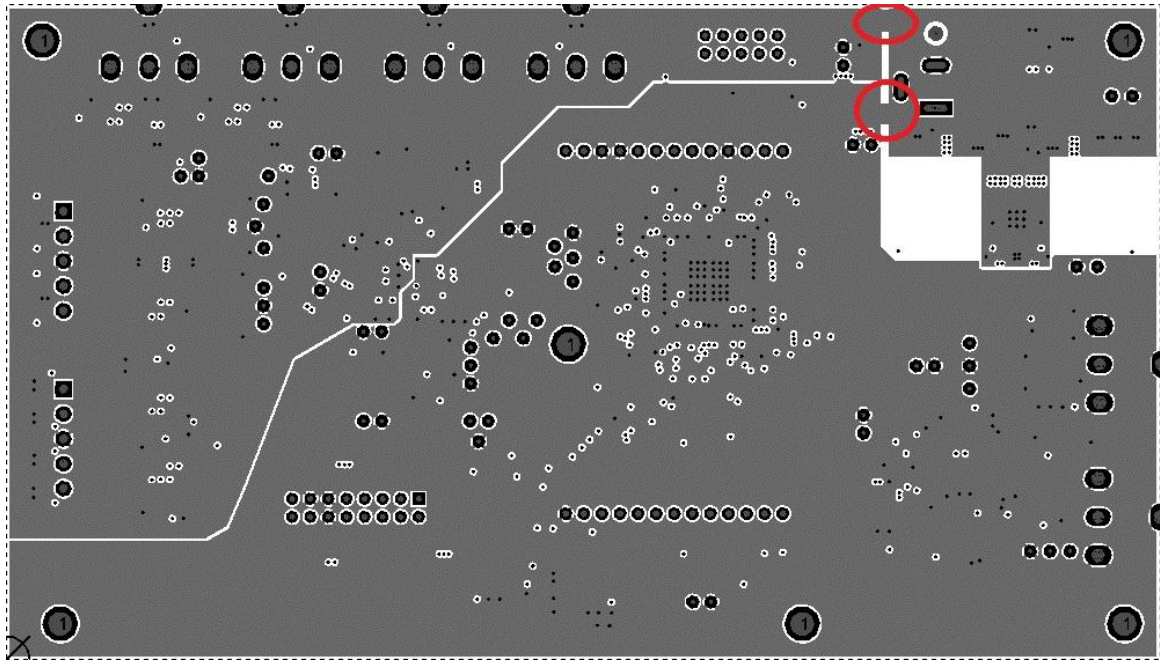
megoldani, hogy a belső mag feszültségét a DSP körvonalán belülré helyeztem el, a perifériák 3,3 V-ját pedig az alkatrészen kívülre. Így az 1,1 V-os ág szűrőkondenzátorai a nyomtatott áramköri lap alján kerültek elhelyezésre. Kérdéses volt a kondenzátor utáni tápfeszültség lecsatolás, mivel a kondenzátor az átellenes oldalon helyezkedik el így a via (átmenő furat) használatával az áramkör tápfeszültség lába a kondenzátor előtt közvetlenül becsatlakozik a tápfóliába, mivel azon halad keresztül. A nagy lábsűrűség miatt nem volt megoldható, hogy az adott via, ami az áramkör lába és a kondenzátor között van, ne menjen keresztül a táprétegen, hanem majd a kondenzátorból továbbhúzzunk egy track-et (vezeték) ami végül becsatlakozik a tápfeszültségbe (egy újabb viával). Megvizsgáltam a DSP saját fejlesztőkártyájának (eval board) a nyomtatott áramköri tervét (10 rétegű) és ott azt tapasztaltam, hogy a jelfeldolgozó processzor lába közvetlenül a tápfeszültségbe csatlakozik, és onnan megy tovább a szűrőkondenzátorba nem is feltétlenül rövid vezetékkel. Ezek alapján az a koncepció, miszerint a tápfeszültség lábat egy via segítségével átkötöm, az alsó oldalra ahol a szűrőkondenzátor közvetlenül elhelyezkedik és eközben az átkötés becsatlakozik a tápfeszültségbe, várhatóan nem fog problémát okozni! Az így kialakított tápfeszültség szűrés áramköri terve a 6.3-as ábrán megfigyelhető.



6.3. Ábra: DSP tápszűrés

Az 1,1 V-os ág szűrőkondenzátorai azért nem látszódnak, mivel az alsó oldalon helyezkednek el, és pont a DSP lábaival egy vonalba vannak (jobban megfigyelve látszódik a körvonala). A 3,3 V-os ág szűrés kialakítása az előírásnak megfelelően történt, miszerint az alkatrész után ágazik le a tápfeszültség. Az alsó láb-sorból a bal szélső lábánál egy ilyen kialakítás látható.

Következzen a földpotenciálok kialakítása. Külön van választva az analóg és a digitális rész földelési rendszere. Az analóg és digitális föld határa az ADAU1328-as codec áramkör alatt húzódik, hiszen ez az áramkör rendelkezik egyedül mind a két földelési típussal. Ezekre a poligonokra is külön szabályrendszereket hoztam létre ugyanolyan kialakítással, mint a belső tápfeszültség rétegnél. A három különböző GND úgynevezett „net tie”-al kapcsolódik egymáshoz. Ez gyakorlatilag egy rövidzár footprint két csatlakozási ponttal, ezért nem is látszódik, mivel az összeköttetés folytonos lesz ez által. A kapcsolási rajz miatt volt lényeges, hogy lehessen külön földeléseket definiálni. A PCB kialakításánál elég lett volna egy földpotenciál, amelyet egy teljes felületet érintő poligonon létrehozok, aminek a folytonosságát különböző kivágásokkal megszakítok.

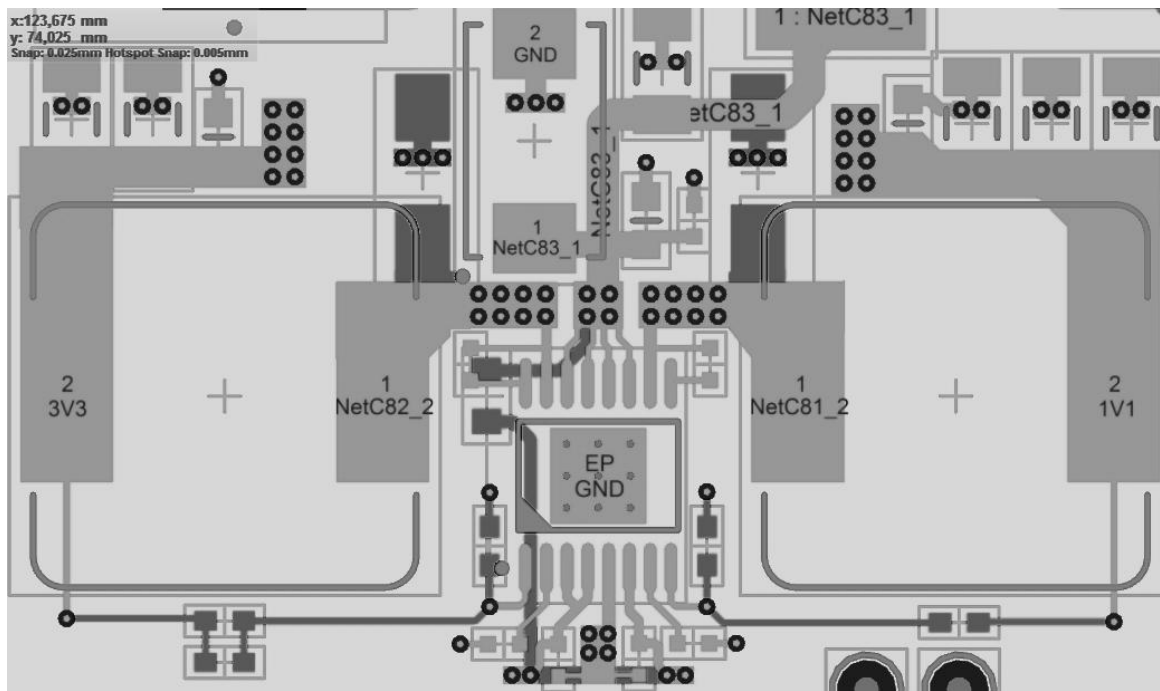


6.4. Ábra: Föld potenciálok

A 6.4-es ábrán megfigyelhetjük az analóg és digitális részegységek különválását és összevethetjük a 6.1-es és 6.2-es ábrákkal. Látszik, hogy jobb felül két foltban hiányzik a földelés. Ennek az a magyarázata, hogy azon a részen található a kapcsoló üzemű tápegység két induktivitása, amelyen nagy áramcsúcsok keletkeznek, így feszültséget indukálhat az alatta levő föld-fóliába, amely zavarokként jelentkezne. Az induktivitás egy teljesen zárt maggal van körülvéve, de ettől függetlenül kívül is tapasztalható mágneses tér (jelentősen kisebb), így körültekintően azon a részen nincs fólia. Ezen a környéken a fóliában látunk egy megszakítást is. Amennyiben az a megszakítás nem lenne ott, képződne egy zárt hurok, amibe szintén zavarfeszültségek indukálódhatnak. Szintén ezen a részen figyelhető meg a „net tie” alkalmazása, amelyeknek a helyét bekarikáztam.

A tápegység kialakításánál a következőkre kellett figyelni:

- Bemeneti szűrőkondenzátorokat az IC lábához közel kell elhelyezni,
- visszacsatoló ellenállásnak is az áramkör közelébe kell lennie,
- visszacsatolás vezetékékezése kerülje a kapcsoló elemeket,
- áramkör kimenete rövid és széles vezetékékezéssel történjen.



6.5. Ábra: Tápegység elrendezése

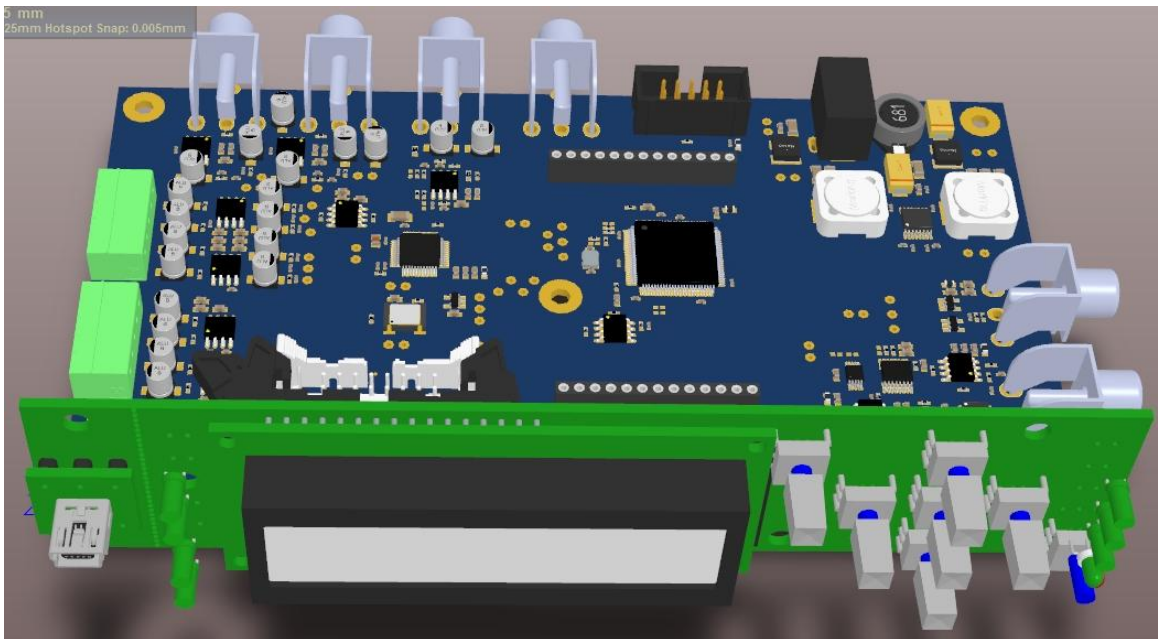
A 6.5-ös ábrán a sötétebb színű vezetékek találhatóak az áramkör alsó oldalán. Az LM26400 kimenetén lévő shottky diódát a PCB aljára helyeztem el, hogy csökkentsem a becsatlakozási szakasz hosszát, illetve közelebb kerüljön a bemeneti és kimeneti kondenzátorok földelési pontjaihoz, így biztosítva a kisebb zavarkibocsájtást (rövidült az áramimpulzusok által átjárt szakasz hossza).

A nyomtatott áramköri panel felső és alsó oldalán a jelvezetékek kerültek elhelyezésre (még a belső réteg kialakítások előtt). Figyelembe kellett venni, hogy a nagyfrekvenciás digitális vonalakat egymástól minél távolabb helyezzem el, hogy az így létrejövő kapacitív csatolás mértékét csökkentsem. Ez leginkább az SPI, I2C és I2S vonalakra vonatkozott. A tesztpontok kivezetésénél ügyelni kellett, hogy ne vigyem távol a forrástól, ha az zavarérzékeny. Amennyiben ezt nem venném figyelembe, a tesztpontig vezetett önálló vezetékdarab antennaként viselkedne és így zavarná az adott jelet. Ennek az elkerülésére a legegyszerűbb megoldás, ha a két eszközt összekötő vezetéket egy nagyon rövid leágazással vagy közvetlenül kötöm be a tesztpontba.

A tervezés során a gyárthatóságot meghatározó szabályokat figyelembe vettem. A gyárthatósági paraméterekre szabályrendszerek lettek létrehozva, így a program valós időben ellenőrizte ezeknek a betartását. Kerültem a hegyes szögek kialakulását is, mivel azok megfelelő legyártása a maratási eljárásakor nem lehetséges.

7. Összefoglalás

A feladat megoldása a digitális audió szabvány megismerésével kezdődött. Az itt olvasott specifikációk alapján kellett az alkatrészeket kiválasztanom. Több gyártó kínálatát néztem végig, és ezzel párhuzamosan a DSP saját fejlesztő kártyájának a kapcsolási rajzán is tanulmányoztam a működő megoldásokat. A feladatomat segítette a specifikációból elkészített blokkvázlat, mivel így az egyes kapcsolási rajzok jól elkülöníthetők voltak egymástól. Sikeresen elsajátítottam az Altium Designer tervezőprogram használatát és így a feladatkiírásnak megfelelően ebben rajzoltam meg a teljes kapcsolási rajzot. A rajz elkészítése közben a Tina analízátor program használata volt segítségemre, hogy az elkészített terveket lemodellezem. A nyomtatott áramkör megtervezésénél kiválasztottam a szükséges rétegszerkezetet, definiáltam a kártya méreteit és megterveztem a kész áramkört, úgy hogy a gyárthatósági szempontokat figyelembe vettem. A megtervezett analízátor kártya 3 dimenziós terve a 7.1-es ábrán látható.



7.1. Ábra: A megtervezett analízátor 3D-s terve

Továbbfejlesztési lehetőség az áramkör legyártása, kézi beültetése, a hozzávaló szoftver megírása és az eszköz kipróbálása. A feladatomat folytatni fogom az áramkör megvalósításával és bemérésével, valamint a bővítőkártya megtervezésével.

Irodalomjegyzék

- [1] IEC 60958-1 (2008)
- [2] IEC 60958-4 (2008)
- [3] IEC 60958-3 (2006)
- [4] AES3-2003
- [5] IEC 61937-1 (2007)
- [6] IEC 61937-2 (2007)
- [7] Analog Devices: ADSP-21483_21486_21487_21488_21489 (2013)
<http://www.analog.com>
- [8] Würth: 742792625 Ferrite bead (2013) <http://katalog.we-online.de>
- [9] Vishay: Frequency Response of Thin Film Chip Resistors (2009)
<http://www.vishay.com>
- [10] Ceramic chip capacitors Type NP0, X5R, X7R, Y5V (2013)
<http://www.koaspeer.com>
- [11] Texas Instruments: LM26400Y (2013) <http://www.ti.com>
- [12] X7R dielectric general specification (AVX) <http://avx.com>
- [13] Analog Devices: High Speed System Applications Part 4 (2006)
<http://www.analog.com>
- [14] Analog Devices: ADAU1328 (2013) <http://www.analog.com>
- [15] Analog Devices: ADSP-214xx SHARC® Processor Hardware Reference (2013)
<http://www.analog.com>
- [16] Analog Devices: ADSP-21489 EZ-Board® Evaluation System Manual (2012)
<http://www.analog.com>
- [17] Analog Devices: Engineer-to-Engineer Note (EE-348)
Estimating Power for ADSP-214xx SHARC® Processors (2011)
<http://www.analog.com>
- [18] Texas Instruments: SN65LVDxx (2008) <http://www.ti.com>
- [19] Maxim Integrated: MAX4414-MAX4419 (2000)
<http://datasheets.maximintegrated.com>
- [20] Maxim Integrated: MAX11200-MAX11210 (2012)
<http://datasheets.maximintegrated.com>

- [21] Texas Instruments: SN74LVC1G08 (2014) <http://www.ti.com>
- [22] Analog Devices: AD8651/AD8652 (2014) <http://www.analog.com>
- [23] FTDI Chip: FT232R (2010) <http://www.ftdichip.com>
- [24] Texas Instruments: SN65HVD05 (2009) <http://www.ti.com>
- [25] Vitec Corp: 67Z6700 (2005) <http://www.viteccorp.com>
- [26] Biphasic mark coding (wikipedia) <http://en.wikipedia.org>