

Kivonat

A diplomaterv feladat a Blackfin® BF537 processzor kiértékelését támogató EZ-KIT Lite® DSP kártya kiegészítése egy nagysebességű analóg-digitális konverter perifériával.

A dolgozat első fele az analóg-digitális konverterek tulajdonságaival foglalkozik. Elsőként áttekintjük és értelmezzük az A/D konverterek jellemzésére szolgáló statikus és dinamikus specifikációkat. Ezt követi a különböző ADC struktúrák tanulmányozása.

Ezután a BF537 processzor architektúráját, perifériáit tekintjük át, részletesebben a processzor memóriáit, a felhasznált párhuzamos portot, és a párhuzamos port használatához szükséges DMA perifériát. Egy a processzort tartalmazó fejlesztő kártyával dolgozunk. Áttekintjük ennek fizikai csatlakozóit, és szolgáltatásait, például a feszültségforrásait.

Az aktuális IC választék áttekintése után, a prototípus tervezése és építése következik. Ehhez először a kiválasztott ADS6145 A/D konverter tulajdonságait tekintjük át. Az IC igényei, és a fejlesztő kártya csatlakozója alapján megtervezzük a logikai kapcsolást. Ezután elkészíthető a prototípus.

Hardveres élesztés után, a VisualDSP++ fejlesztő környezetet használva bemutatjuk az elkészült szoftver komponensét.

Abstract

This thesis deals with the extension of the EZ-KIT Lite® Blackfin® BF537 processor evaluation system with an analog-to-digital converter peripheral.

The first part of this document deals with analog-to-digital converters. First, the static and dynamic specifications of the A/D converters are reviewed and interpreted. This is followed by the survey of ADC structures.

After that, architecture of the BF537 processor is reviewed, particularly the memory, the parallel peripheral interface used to interface the ADC, and the DMA peripheral which is necessary for the PPI. The work is done using the evaluation board not the processor directly. The connectors and services of the board are reviewed.

The design and the building of the prototype come next after the overview of the currently available IC selection. First, the selected ADS6145 A/D converter. The logic design of the circuit is drawn based on the demands of the IC and the connector.

After making sure the hardware is working properly, the configuring software component is uploaded by using the VisualDSP++ development environment.

Tartalomjegyzék

Kivonat.....	I
Abstract	II
Tartalomjegyzék.....	III
Bevezetés.....	1
1. ADC specifikációk	2
1.1. Statikus specifikációk.....	3
1.2. Dinamikus specifikációk	6
2. ADC struktúrák	11
2.1. Szigma-Delta ADC.....	11
2.2. Számláló és integráló A/D konverterek.....	16
2.3. Subranging és pipeline ADC	19
2.4. Fokozatos közelítésű ADC	26
2.5. Flash és komparátor ADC	27
3. DSP.....	29
3.1. ADSP-BF537 processzor.....	29
3.1.1. Bevezetés.....	29
3.1.2. Memória	31
3.1.3. Párhuzamos port	33
3.1.5. DMA.....	34
3.2. ADSP-BF537 EZ-KIT Lite fejlesztő kártya.....	36
4. Az aktuális IC választék áttekintése	38
5. Próbapanel tervezése	40

5.1.	ADS6145 konverter.....	40
5.1.1.	Időzítési karakterisztikák.....	40
5.1.2.	Programozási módok.....	41
5.1.3.	Analóg bemenet.....	46
5.2.	Logikai kapcsolási rajz.....	47
5.3.	Nyomatott huzalozási terv.....	48
5.4.	Élesztés.....	49
6.	Szoftveres élesztés.....	50
6.1.	GPIO regiszterek.....	50
6.2.	PPI_CONTROL regiszter.....	51
6.3.	További PPI regiszterek.....	51
6.4.	DMA regiszterek.....	52
6.5.	DMA0_CONFIG regiszter.....	52
6.6.	DMA0_IRQ_STATUS regiszter.....	53
7.	Eredmények értékelése.....	54
	Irodalomjegyzék.....	56

Bevezetés

Diplomatervem témájaként egy analóg-digitális konverter illesztését választottam egy Blackfin processzorhoz.

Az A/D konverter a beágyazott rendszereknek egy kulcs építőblokkja, mert a szenzorok, mérőhidak feszültsége analóg mennyiség és a digitális feldolgozás előnyeinek kihasználásához digitalizálni kell azt.

1. ADC specifikációk

A következő szakaszokhoz az [1] szakirodalom szolgált alapul.

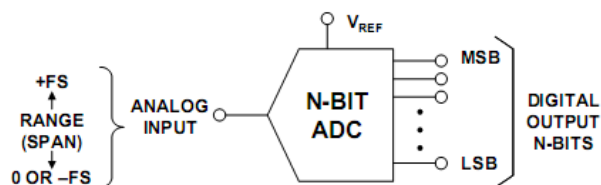
AD konverterek kimenete kvantált, azaz a bemenet tartományai, a kimeneten diszkrét állapotokra vannak leképezve. Például ha a bemenetet két tartományra osztjuk, a kimenet leírható egy bittel, vagy a magas vagy az alacsony tartományban van a jel. Minden további bit hozzáadásával a tartományok feleződnek, azaz a felbontás finomodik. A bináris számrendszer miatt, a kimeneti állapotok száma 2 hatványa. Egy N bites szó, 2^N állapot valamelyikét jelöli, és ezért egy N bites ADC 2^N számú lehetséges digitális kimenetet állíthat elő. A felbontása a konvertereknek több, különböző módon jelölhető. Leggyakrabban bitben van megadva. Megadható az LSB (Least Significant Bit) nagyságával is mV-ban, a teljes skálához viszonyítva %-ban vagy dB-ben is. Az LSB a legkisebb tartománynak felel meg a felosztott bemeneti skálán.

A konverterek első alkalmazásai, a mérés és a vezérlés területén voltak, ahol a pontos időzítése a konverzióknak általában nem fontos, és az adatsebesség lassú. Ilyen alkalmazásokban a DC specifikációk fontosak. Ma a konverterek nagysebességű mintavételező rendszerekben használatosak, ahol az AC specifikációk a kritikusak.

A következő specifikációkat értelmezzük:

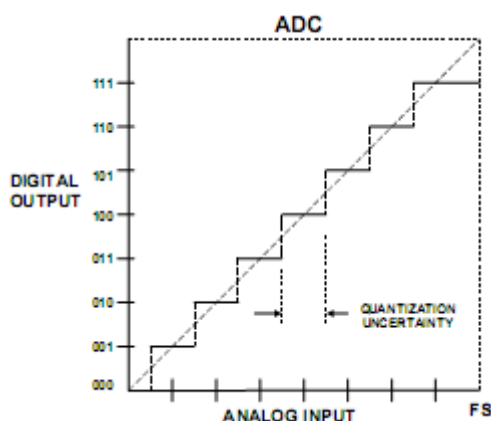
- Erősítési és offset hiba
- Differenciális és integrális nemlinearitás, hiányzó kód
- Tranziens zaj
- Hamis jeltől mentes dinamikus tartomány
- Harmonikus torzítás
- Teljes harmonikus torzítás
- Teljes harmonikus torzítás zajjal
- Jel-zaj és torzítás viszony
- Jel-zaj viszony
- Hatásos bitszám
- Analóg sáv szélesség
- Apertúra idő, késleltetés, és jitter
- Beállási idő
- Túlfeszültség felélédesi idő

1.1. Statikus specifikációk



Ábra 1. ADC jelölés, a bemenet és a kimenet definiálása

A bemenet általában feszültség, a kimenet dimenziótalan. A digitális formájú információt, önkényesen rögzített, technológiától függő feszültség szintek ábrázolják.

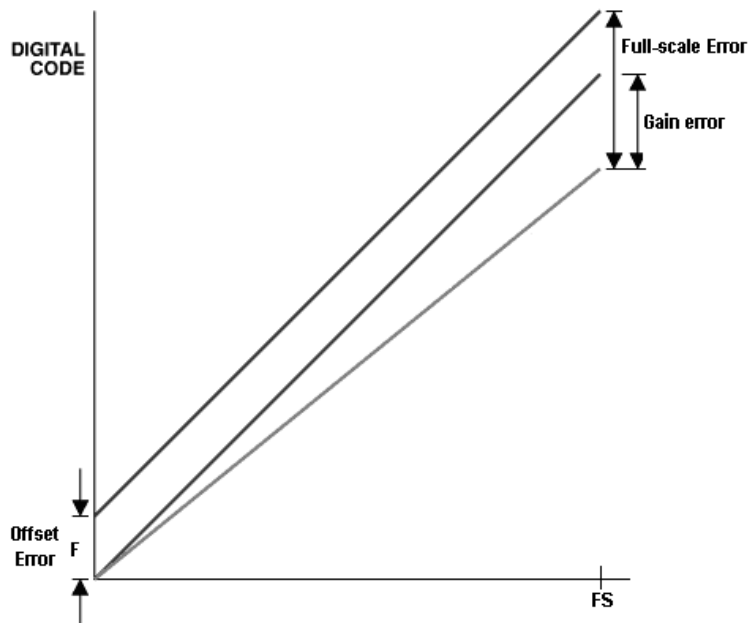


Ábra 2. Ideális 3 bites ADC átviteli függvénye (FS – teljes tartomány)

A 2. ábrán egy egypólusú A/D konverter átviteli függvénye látható. Az A/D konverterek átviteli függvénye vízszintes lépcsőkből áll. Az ideális ADC szomszédos kódátmeneti LSB távolságra vannak egymástól. A tartományok száma N bit felbontás esetén 2^N , az átmenetek száma $2^N - 1$. Az analóg bemenet bármely értéket, a kimenet viszont csak diszkrét értékeket vehet fel, ezért egy maximum $\frac{1}{2}$ LSB értékű eltérés lehet a folytonos analóg bemenet aktuális értéke és a hozzá tartozó digitális kódból visszaszámolható érték között. Ezt az eltérést kvantálási bizonytalanságnak vagy kvantálási hibának nevezzük.

A statikus hibák alatt az offset hibát, az erősítési hibát, és az integrális és differenciális hibákat értjük. További hibaforrások a kódátmeneti zaj, és a referenciaforrás változásai.

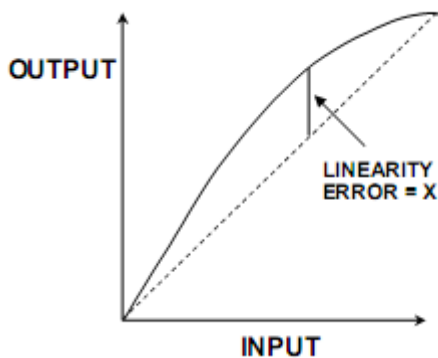
Az átviteli függvény vízszintes lépcsőinek középpontjaira, a kódközöpekre illesztett egyenest használjuk az erősítési és az offset hiba tanulmányozásakor. Mindkét hiba korrigálható szoftveresen, de lecsökken a dinamika tartomány a nem használt kódok elvesztése miatt.



Ábra 3. Offset és erősítési hibája korrigálása

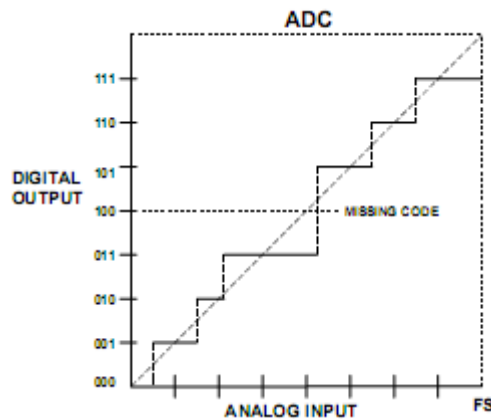
Az ideális átviteli függvényt képviselő egyenes kifejezhető az $L = F + GA$ egyenlettel. 'A' az analóg jel, 'F' és 'G' konstansok. Egy egypólusú konverterben, az 'F' ideális értéke nulla. Az 'F' valódi értékének eltérése az ideálistól az offset hiba. Az erősítési hiba az a mennyiség, amivel $GA = L - F$ valódi értéke eltér az ideálistól a skála végpontjánál.

Az integrális linearitási hiba, INL (Integral Non-Linearity) definíció szerint a valódi átviteli függvény maximális eltérése az egyenes vonalhoz képest, a lépcsők végpontjait figyelembe véve a kódközepek helyett. Az eltérés, a teljes skálát tekintve, százalékos értékében vagy LSB-ben van megadva. Az INL méréséhez az offset és az erősítési hibát először korrigálni kell, vagy a szélső lépcsőkre kell illeszteni a referencia egyenest.



Ábra 4. integrális linearitási hiba mérése

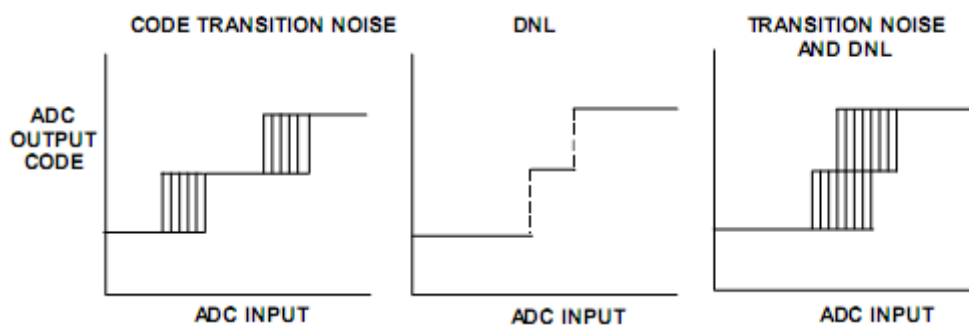
Differenciális nemlinearitás, DNL (Differential Non-Linearity), a konverter kódátmeneteinek linearitásával áll kapcsolatban. Egy A/D konverterben pontosan egy LSB-nyi analóg jelváltozásnak kell lenni az egyik digitális átmenettől a következőig. Differenciális linearitási hiba a maximális eltérése a szükséges analóg változásnak két tranziens között az ideális 1 LSB-hez képest, a teljes tartományt vizsgálva. Tehát ha az 1 LSB digitális változáshoz tartozó változás az analóg jelben kisebb vagy nagyobb, mint 1 LSB akkor DNL hiba van.



Ábra 5. Nem ideális 3 bites ADC átviteli függvénye

Egy hiányzó kódtól mentes ADC kimenetén az összes kód megfigyelhető, miközben a bemeneti jel végighalad a bemeneti tartományon. Ha a DNL hiba kisebb, mint ± 1 , akkor biztosan nincs hiányzó kód.

Minden ADC-nek része valamennyi tranziens zaj. Ahogy a felbontás és sáv szélesség növekszik, a bemenetnek a tranziens zaj által érintett tartományai megközelíthetők vagy túl is léphetik az 1 LSB-t. Különösen negatív DNL mellett előfordulhat néhány szomszédos kód, amelyeknél jelen van a tranziens zaj a hozzájuk tartozó teljes bemeneti tartományban.

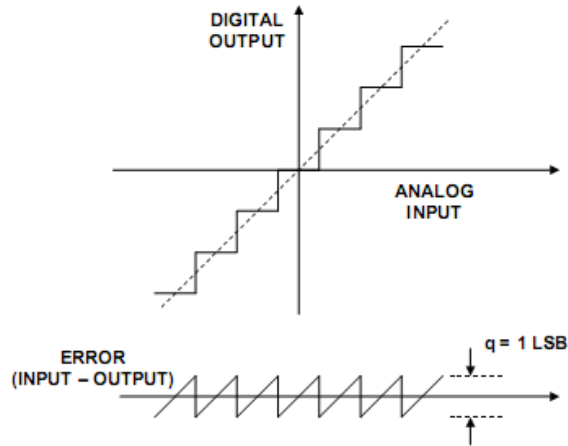


Ábra 6. Tranziens zaj és negatív DNL közös hatása

Nagy átfedések esetén, lehetnek olyan kódok, amelyekhez nem lehet olyan bemenetet rendelni, amely garantálná előfordulásukat. Statikus esetben a minták átlagolásával csökkenthető ez a véletlen hiba.

1.2. Dinamikus specifikációk

Az ideális A/D konverterhez társuló hibák, a mintavételezéssel és a kvantálással járó információvesztésből adódnak.



Ábra 7. Ideális ADC kvantálási zaja

Nagy bitszámú A/D esetén, egy gyorsan változó, nagy amplitúdójú jelnek a kvantálási hibája egyenletes amplitúdó eloszlású $\text{LSB}/2$ amplitúdóval és spektruma közelítőleg egyenletesen tölti ki a Nyquist sávot ($\text{DC} - f_s/2$, ahol f_s a mintavételi frekvencia). Ha a jel harmonikus kapcsolatban áll a mintavételi frekvenciával, akkor a zaj koncentrálódhat a jel harmonikusainál. Ekkor a zaj nem fehér, de teljesítménye nem változik, marad $\text{LSB}^2/12$. Gyakorlati ADC alkalmazásokban, a kvantálási zaj véletlen zajként jelenik meg, mert egy szélessávú bemeneti jel rendezetlen természetű, és ehhez még hozzáadódik az a tény, hogy mindig van valamekkora rendszerzaj, ami dither jelként hat, tovább randomizálva a kvantálási hiba spektrumát. Tiszta szinusszal végzett teszteléskor ahhoz, hogy az ADC torzításait mérjük ne a kvantálási zaj korrelálásából adódó torzításokat, megfelelően kell megválasztani a frekvenciaarányt.

Az elméleti *jel-zaj viszony*, SNR (Signal to Noise Ratio), kiszámítható, fehér zajt, és a tartományt teljesen kitöltő bemeneti szinusz jelet feltételezve.

$$\text{SNR} = 10 \log_{10} \frac{P_{\text{szinusz}}}{P_{\text{kvantálási zaj}}} \text{ [dBc]}$$

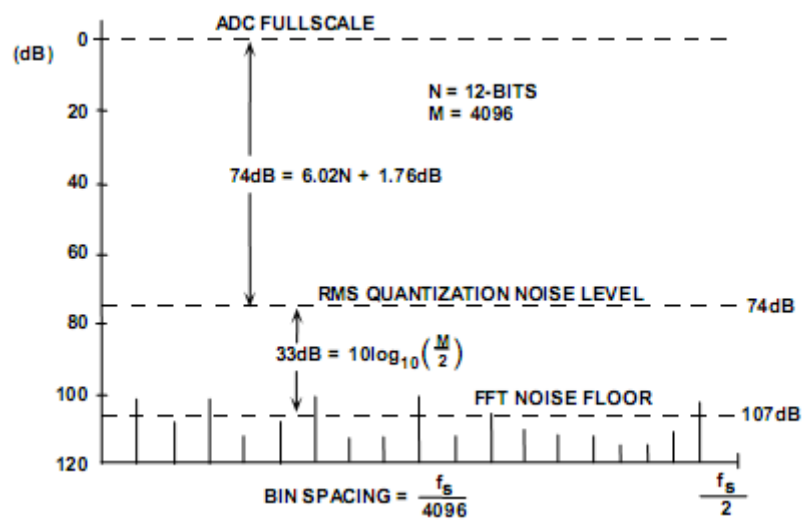
A teljes tartomány $\text{LSB} * 2^N$ nagyságú, a szinusz jel amplitúdója ennek a fele $\text{LSB} * 2^{N-1}$ és a szinusz jel effektív értéke ennek $\sqrt{2}$ -ed része $\text{LSB} * 2^{N-1} / \sqrt{2}$. A kvantálási zaj effektív értéke pedig $\text{LSB} / \sqrt{12}$.

Ezeket behelyettesítve megkapjuk az elméleti jel-zaj viszonyt. $\text{SNR} = 6,02N + 1,76 \text{ [dBc]}$.

Ha nincs szükség a teljes Nyquist sávra, azaz egy keskenyebb sávot foglal el a hasznos jel, és digitális szűrést hajtunk végre a hasznos sávon kívül, akkor egy korrekciós tényezővel, a feldolgozási nyereséggel kiegészül az összefüggés. A korrekciós tényező $10 \log_{10} \frac{f_s/2}{BW}$ [dB].

Az FFT zajküszöb nem egyenlő az SNR-rel, mert az FFT sávszélessége f_s/M , ahol M az FFT pontszáma. Az elméleti FFT zajküszöb ezért $10 \log_{10} (M/2)$ dB-lel a kvantálási zajküszöb alatt van, az FFT feldolgozási nyeresége miatt

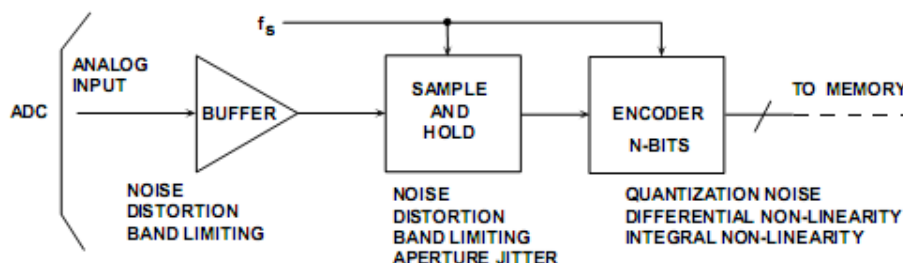
Például egy ideális 12 bites ADC elméleti SNR-je $6,02 * 12 + 1,76 = 74$ [dBc]. Egy 4096 pontos FFT-nek a feldolgozási nyeresége $10 \log_{10}(4096/2) = 33$ [dB]. Ezért az FFT zajküszöbe $74 + 33 = 107$ [dBc].



Ábra 8. Egy 12 bites ADC zajküszöbe 4096 pontos FFT-t használva

A zajküszöb tovább csökkenthető, nagyobb pontszámú FFT-t alkalmazva, hasonlóan egy analóg spektrum analízátor zajküszöbe csökkenthető, a sávszélesség keskenyítésével.

Mintavételező A/Dkonverterek, felépítéstől függetlenül, tartalmaznak zaj és torzítás forrásokat.

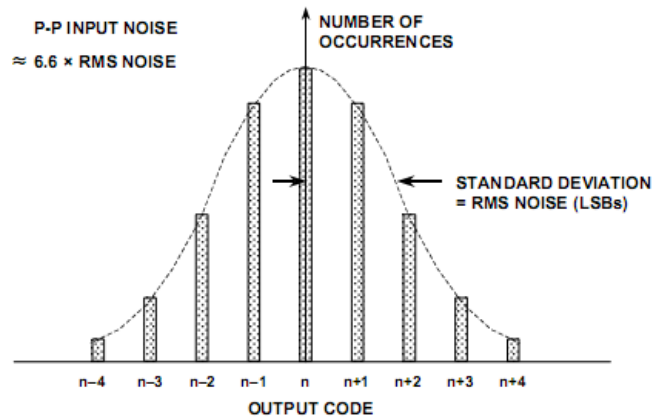


Ábra 9. Zaj és torzítás források ADC modellje

A bemeneti puffer erősítő véges sávszélességű, nemlinearitása és szélessávú zaja van. A következő blokk, a mintavevő és tartó erősítő, SHA (Sample and Hold Amplifier) bevezet további nemlinearitást,

sávkorlátozást, és apertúra hibát. A kvantáló rész, kvantálási zajt, integrális és differenciális nemlinearitást ad hozzá.

Szélessávú ADC belső áramkörei, okoznak bizonyos mennyiségű zajt, az ellenállás zajnak megfelelően. Ez a zaj még a DC jeleknél is jelen van. Az előállított kódok, egy statisztikai eloszlás mintái. Nagyszámú mintából hisztogram rajzolható, és ennek burkolója egy Gauss görbe. A Gauss eloszlású zaj szórása könnyen számítható, és ez megegyezik a zaj effektív értékével.



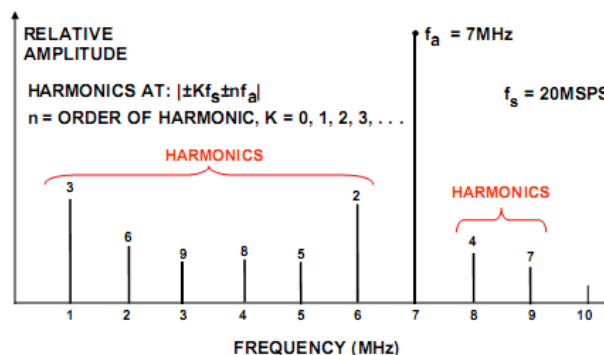
Ábra 10. Földelt bemenetű ADC kimenetei kódjainak hisztogramja

Zajmentes kód felbontása (noise/flicker free code resolution), az a bitszám, amelynél magasabb bitszámnál lehetetlen világosan dönteni egyéni kódok között.

$$\text{Zajmentes kód felbontás} = \log_2 \frac{\text{teljes bemeneti tartomány}}{2 * \text{a zaj amplitúdója}}$$

$$\text{Effektív kód felbontás} = \text{Zajmentes kód felbontás} + \log_2(6,6)$$

FFT analízissel megmérhetők a jel harmonikusainak amplitúdói, és ezeket felhasználva számos mód létezik az ADC torzításának számszerűsítésére.



Ábra 11. Torzítások elhelyezkedése

A bemenő jel harmonikusai, elhelyezkedésük alapján elkülöníthetők egyéb torzításoktól. Aliased harmonikusai f_a -nak, a $|\pm Kf_s \pm nf_a|$ frekvenciákra esnek, ahol n a harmonikus rendje, K pedig

természetes szám. Adatlapokon csak a második és a harmadik harmonikus van specifikálva, mert általában ezek jelentősek.

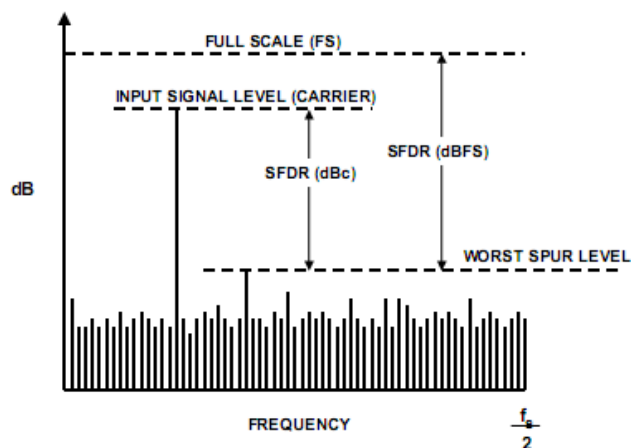
Harmonikus torzítás az n-ik harmonikust adja meg a közel FS alap harmonikushoz képest dB-ben.

Teljes harmonikus torzítás, THD (Total Harmonic Distortion), az alap harmonikus (P_A), és az első 5 harmonikus négyzetes átlagának (P_T) arányának logaritmusa.

$$THD = 10 * \log_{10} \frac{P_A}{P_T} [dBc]$$

Teljes harmonikus torzítás zajjal, THD + N, mint az előző, a DC kivételével az összes komponens beleszámolva. Ennek értéke megegyezik a SINAD jellemzővel, ha a teljes Nyquist tartományon nézzük.

Hamis jeltől mentes dinamikus tartomány, SFDR (Spurious Free Dynamic Range), a hasznos jel, és a spektrum legmagasabb hamis jelének arány. Kommunikációs alkalmazásokban az egyik legjelentősebb specifikáció.



Ábra 12. Hamis jeltől mentes dinamikus tartomány

Jel-zaj és torzítás viszony, SINAD (Signal to Noise and Distortion), az effektív jel amplitúdó, és az összes egyéb spektrális komponens négyzetes átlagának aránya, a DC kivételével. SINAD jó mutatója az ADC átfogó dinamikus tulajdonságát.

$$SINAD = 10 * \log_{10} \frac{P_A}{P_Z + P_T} [dBc]$$

Jel-zaj viszony, SNR (Signal to Noise Ratio), a SINAD-hoz hasonlóan számolandó, az első 5 harmonikus kihagyásával.

$$SNR = 10 * \log_{10} \frac{P_A}{P_Z} [dBc]$$

Hatásos bitszám, ENOB (Effective Number of Bits), a SINAD bitbe átkonvertált értéke, felhasználva az ideális ADC elméleti jel-zaj viszonyára kapott összefüggést.

$$ENOB = \frac{SINAD - 1,76}{6,02}$$

Analóg sávszélesség, az a frekvencia, amelynél a kimeneti spektrumban az esés eléri a 3dB-t.

Apertúra idő, t_a (aperture time), az a rövid, de nem nulla időtartomány, ami alatt az ADC leválasztja a tartó kondenzátort a bemeneti erősítőről. Az intervallum végén a feszültség pontos értéke függ, a bemenő jel jelváltozási sebességétől, és a kapcsolási mechanizmus által bevezetett hibától. Első rendű modellt feltételezve, a tartó kondenzátoron a feszültség végső értéke, közelítőleg egyenlő a jel az idő alatti átlagértékével, mialatt a kapcsoló alacsonyból magas ellenállásúba vált.

Apertúra késleltetés, t_c (aperture delay), az időkülönbség az analóg bemeneti erősítő terjedési késleltetése, és az apertúra idő fele, ez a lineáris modellben az átlag, plusz a kapcsoló meghajtó digitális késleltetése között. Ez lehet negatív, ha nagy az erősítő késleltetése. Tehát ez leírja, hogy az órajel éléhez képest mikor történik a mintavételezés. Tehát ez egy késleltetés vagy az órajelben, vagy a bemeneti jelben, az előjelétől függően. Szimultán mintavételező alkalmazásokban, az órajel fázisát kell állítani, a késleltetés eltérések megszüntetéséhez.

Apertúra hiba (aperture jitter), az eltérés az apertúra késleltetésben mintavételezésenként. Emiatt nem egyformák a minták között eltelt idők. Az órajel fázishibája hasonló hibát okoz.

Beállási idő (transient response), a bemenet FS változása után szükséges idő, amíg a kimenet felveszi a pontos értékét stabilan. Például szigma-delta ADC belső digitális szűrője, több mintavételi időt igényel a beállításig. Multiplexelt bemenetű alkalmazásokban van jelentősége.

Túlfeszültség feléledési idő (overvoltage recovery time), egy meghatározott pontosság eléréséig szükséges idő, miután a bemeneti jel értéke visszatér a bemeneti tartományba.

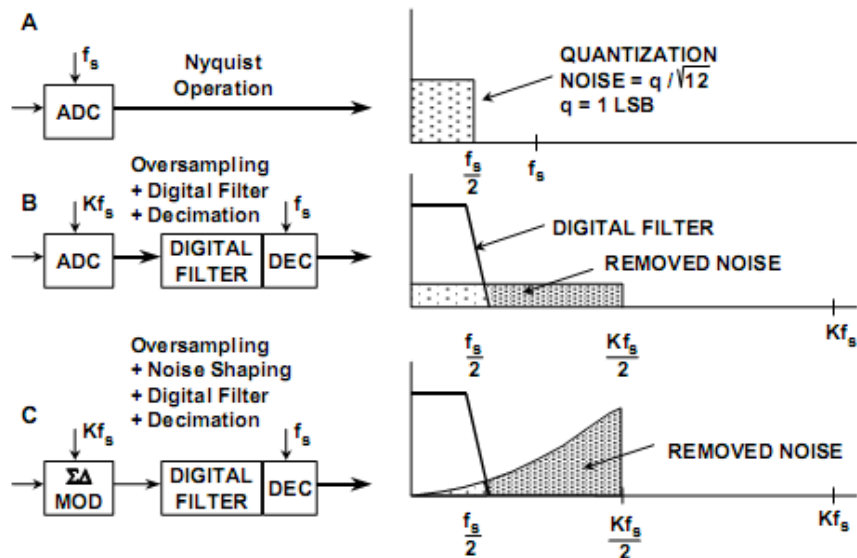
2. ADC struktúrák

A következő szakaszokhoz a [2] szakirodalom szolgált alapul.

2.1. Szigma-Delta ADC

A szigma-delta ADC-nek több előnye is van a többi struktúrához képest, különösen nagy felbontású, alacsony frekvenciájú alkalmazások számára. Az 1 bites szigma-delta ADC önmagában monoton és nem kíván lézeres kalibrálást. A szerkezet lehetővé teszi az olcsó CMOS technológia alkalmazását. Sok alkalmazásban használják, ahol kis költségű, kis fogyasztású, kis sávszélességű, nagy felbontású ADC szükséges.

A $\Sigma\Delta$ ADC digitális számítási áramkört és egyszerű analóg elektronikát – egy komparátort, egy referenciaforrást, egy kapcsolót, egy vagy több integrátort és analóg összegző áramkört, – tartalmaz.

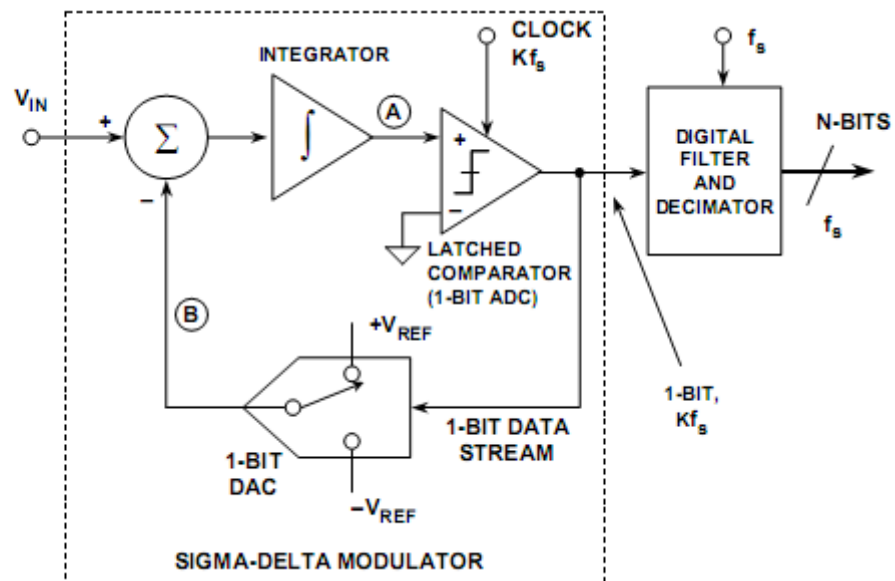


Ábra 13. Túlmintavételezés, zajformálás, digitális szűrés, és decimálás

Ha gyorsabb, $K * f_s$ mintavételezési sebességet választunk, ahol a K tényezőt nevezzük túlmintavételezési aránynak és f_s a mintavételi frekvencia, akkor a kvantálási zaj effektív értéke marad $LSB / \sqrt{12}$, de most a zaj egy szélesebb, DC – $Kf_s/2$, sávszélességben oszlik el. Az alacsonyabb zajszint miatt, javult a határos bitszámunk a hasznos tartományt tekintve. Megvalósítottunk egy magas felbontású A/D konverziót, egy kis felbontású ADC-vel. Meg kell jegyezni, hogy a túlmintavételezés járulékos haszna az is, hogy csökkentek a követelmények analóg sávszűrővel szemben. Digitális szűrővel el lehet távolítani a hasznos tartományon kívül eső zajt. Mivel a sávszélesség lecsökkent a digitális szűréssel, a Nyquist kritérium betartása mellett, csökkenthető a mintavételi sebesség. Ez megvalósítható úgy, hogy eldobjuk a mintákat minden M -edik kivételével. Ezt az eljárást decimálásnak nevezzük, ahol M a decimálás aránya.

A Σ - Δ konverter kisebb túlmintavételezési arányt igényel ugyanakkora zajcsökkenés eléréséhez, mint túlmintavételezési eljárás önmagában, mert formálja a kvantálási zajt úgy, hogy annak nagy része a digitális szűrő áteresztő tartományán kívülre kerül.

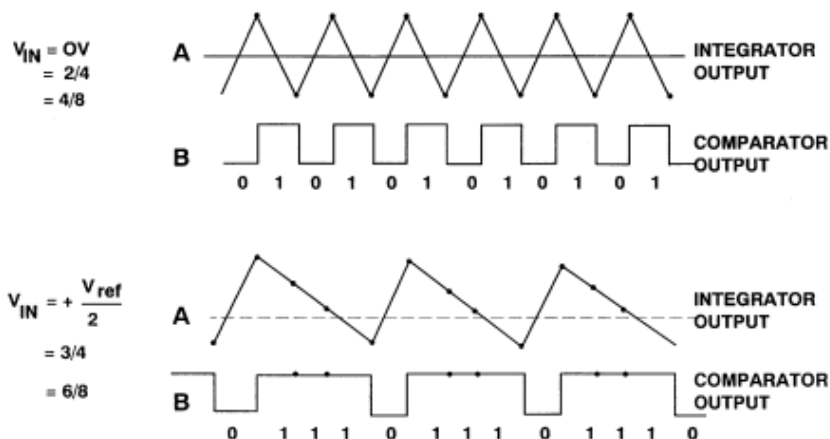
Az első rendű Σ - Δ modulátor egy szabályzási kör, amelynek előremenő ágát egy integrátor, és egy 1 bites ADC alkotja, a visszacsatolásban pedig egy 1 bites DAC található. Ahhoz, hogy a Σ - Δ A/D konvertert kapjunk, a digitális kimenethez hozzá kell adni egy digitális aluláteresztő szűrőt és egy decimálót.



Ábra 14. Első rendű Σ - Δ ADC

Szemléletesen, a Σ - Δ ADC a következőképpen működik. Integrátor kimenete folyamatosan változik, amíg bemenete nem nulla. Tehát a DA konverter kimenetén az átlagos feszültségnek meg kell egyeznie a bemeneti jellel. Az ADC kimenetéről, a DAC bemenetére kerülő bitfolyam 1-es sűrűsége határozza meg az átlagos feszültséget a DAC kimenetén. Ha a bemeneti jel növekszik a pozitív referencia feszültség felé, akkor az 1-esek száma növekszik, a 0-ák száma csökken. Ha a bemeneti jel csökken, akkor hasonlóan, az 1-esek száma is csökken.

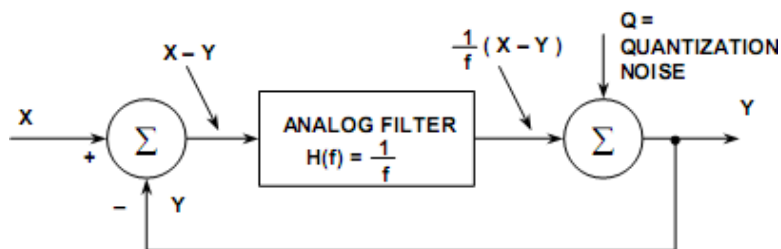
Csak akkor kapunk értelmes eredményt, ha nagyszámú mintát átlagolunk. A Σ - Δ modulátort nagyon nehéz az időtartományban analizálni, a bitfolyam látszólagos véletlenszerűsége miatt. Ha a bemeneti jel a tartomány tetejéhez közel, akkor világos, hogy több 1-es lesz a bitfolyamban, mint 0-ás. A bemeneti tartomány közepén lévő jel eseté, az 1-esek és 0-ák száma közelítőleg egyenlő lesz.



Ábra 15. Σ - Δ modulátor hullámformák az A és B pontban

A Σ - Δ ADC tekinthető egy szinkron feszültség-frekvencia átalakítónak is, amit egy számláló követ. Ha a bitfolyamban egy elégséges mintaszámon keresztül számoljuk az 1-esek számát, akkor a számláló kimenete mutatja a digitális értékét a bemenetnek. Nyilvánvalóan, az átlagolási módszer csak DC és nagyon lassan változó bemenő jelekre működik. Ráadásul, N bit hatásos felbontáshoz, 2^N számú mintát szükséges felhasználni, ezáltal komolyan korlátozza a hasznos mintavételi sebességet.

A zajformálás fogalom jobban magyarázható a frekvenciatartományban, felhasználva a következő modellt.



Ábra 16. Σ - Δ modulátor egyszerűsített frekvencia tartománybeli linearizált modellje

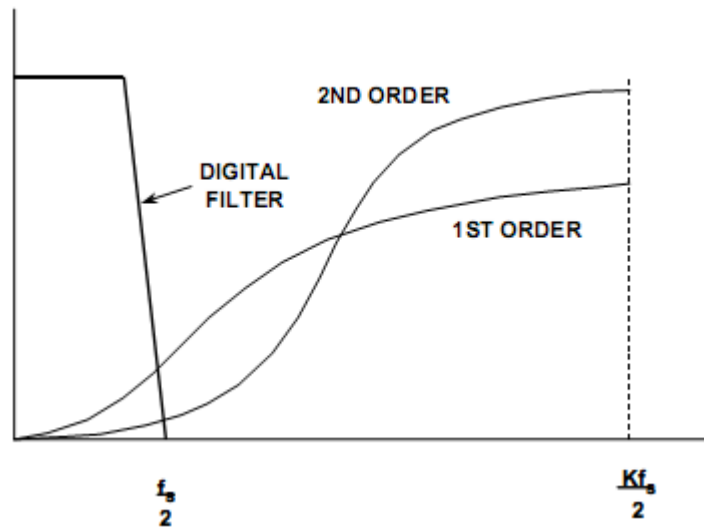
A modulátor integrátora, egy aluláteresztő szűrőként van ábrázolva, $H(f) = 1/f$ átviteli függvényrel. A bemenet legyen X , és a kimenet Y . A bemeneti összegzőből kijövő jel $(X - Y)$. Ez van beszorozva a szűrő átviteli függvényével, és az eredmény a kimeneti összegzőbe megy. Az 1 bites kvantáló kvantálási zaja Q . Ez megy az összegző másik bemenetére. Most felírhatjuk a kimeneti feszültség, Y összefüggését.

$$Y = \frac{1}{f}(X - Y) + Q$$

amelyből Y -t kifejezve,

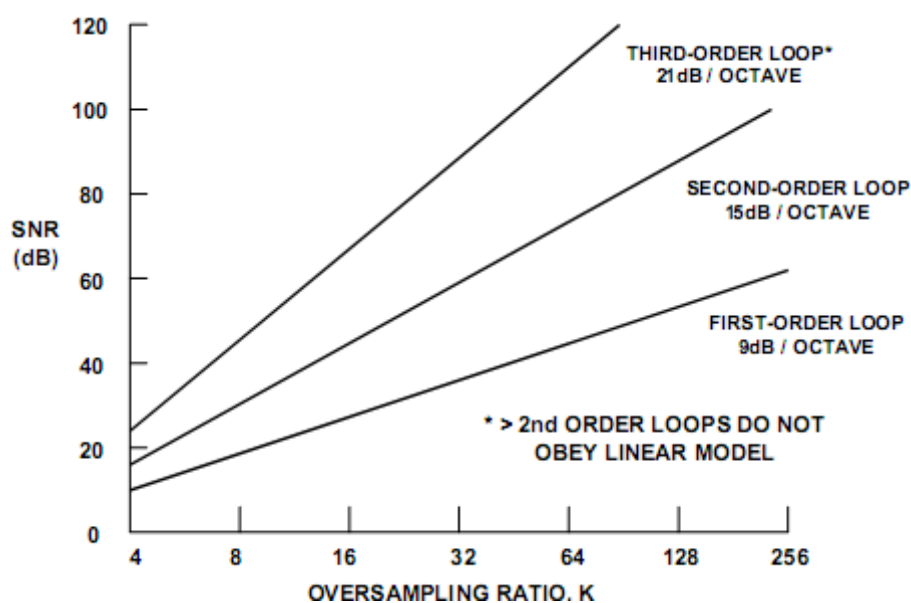
$$Y = \frac{X}{f + 1} + \frac{Qf}{f + 1}$$

Megfigyelhető, hogy DC-hez közeli frekvenciatartományban a kimenet közelíti zaj nélkül a bemenetet. Magas frekvencián, a kimenet elsősorban a kvantálási zajból áll. Lényegében az analóg szűrőnek aluláteresztő hatása van a bemenetet tekintve, és felüláteresztő hatása van a zajt tekintve. Így az analóg szűrő a zajformálás funkciót valósítja meg a Σ - Δ modulátorban.



Ábra 17. Kvantálási zaj formálása

Egy adott bemeneti frekvenciára, magasabb rendű analóg szűrő nagyobb elnyomást biztosít. Ugyanez igaz a Σ - Δ modulátorra. Több mint egy integráló és összegző szakaszt alkalmazva a Σ - Δ modulátorban, magasabb rendű kvantálási zajformálás érhető el, és így magasabb hatásos bitszám, egy adott túlmintavételezési aránynál.



Ábra 18. SNR a túlmintavételezési arány függvényében

Nagy dinamika tartomány eléréséhez, másodrendűnél nagyobb Σ - Δ modulátor hurkok szükségesek. Ez esetben nem teljesen pontos a lineáris modell, és a stabilitás sem garantált minden bemeneti feltételre, de a digitális logika megakadályozhatja a gerjedést.

Eddig vizsgált Σ - Δ modulátorok integrátort tartalmaztak, ami egy aluláteresztő szűrő. A hagyományos A/D konverterek alapsávú eszközök. De nincs különösebb indok, amiért a Σ - Δ modulátoroknak aluláteresztő jellegűnek kellene lenniük azon kívül, hogy egy integrátort könnyebb előállítani, mint egy sáváteresztő szűrőt. Sáváteresztő szűrő esetén, a kvantálási zaj a sávon kívülre, magasabb és alacsonyabb frekvenciákra van mozgatva. Ha a digitális szűrőt is erre a tartományra programozzuk, sáváteresztő Σ - Δ ADC-t kapunk. Ez hasznos lehet alulmintavételező alkalmazásokban.

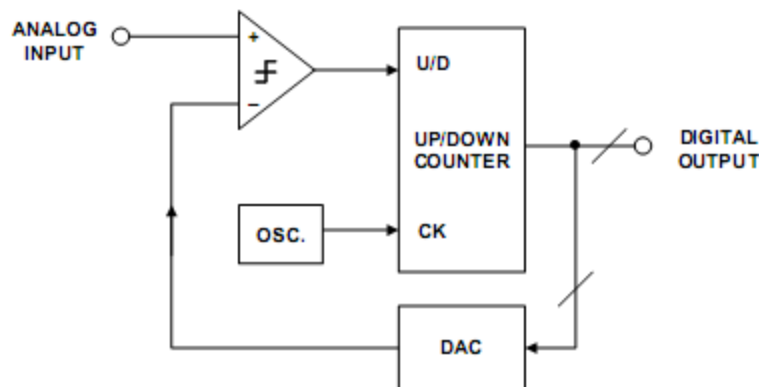
2.2. Számláló és integráló A/D konverterek

A számláló alapú A/D konverterek ideálisak magas felbontású, alacsony frekvenciájú alkalmazások számára, különösen integrálási technikákkal kombinálva.

Egy egyszerű példában, az A/D konverterben mintavételezéskor elindul egy oszcillátor és egy feszültség rámpa. Amikor a rámpa eléri a mintavételezett jel szintjét, leáll az oszcillátor. A pulzusok száma mutatja a kvantált bemenő jelet. A pulzussorozat könnyen átalakítható bináris formára, egy számlálót meghajtva vele.

A feszültség rámpa helyett használható áramgenerátor is, ami kisüti a mintavevő kapacitást mintavétel után. Az oszcillátor leállítási feltétele ekkor az alsó referencia elérése. A teljes pontosság függ a kapacitás minőségétől, a kisütő áram és az oszcillátor pontosságától.

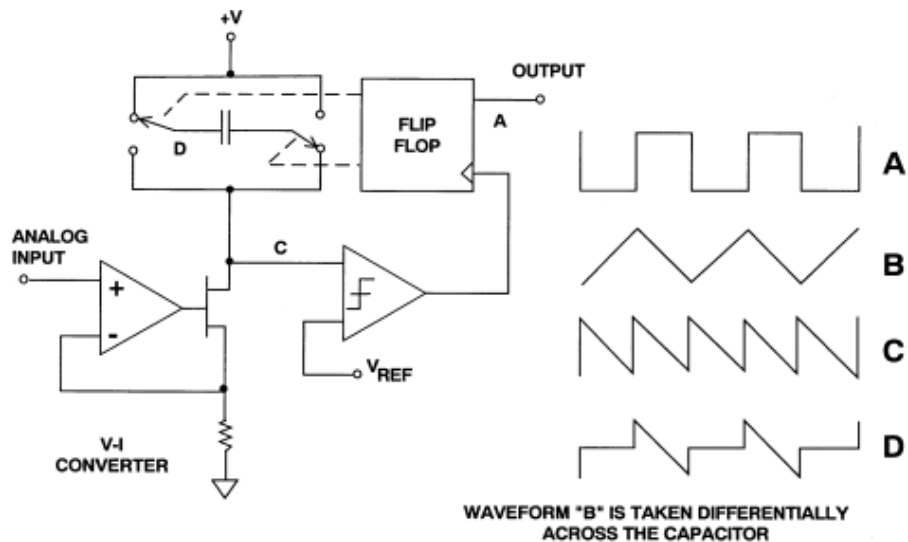
Követő ADC (tracking ADC), folyamatosan összehasonlítja a bemenő jelet az analóg jelre visszaalakított számláló kimenettel. Ha a bemenet nagyobb, akkor a számláló felfelé számol, egyébként lefelé. Nyilvánvaló, ha lassan változik a bemenet, akkor a digitális kimenet közel marad a helyes értékhez. Ha a bemeneten ugrás következik be, akkor több száz vagy ezer órajel is szükséges lehet mire a kimenet ismét érvényes lesz.



Ábra 19. Követő ADC

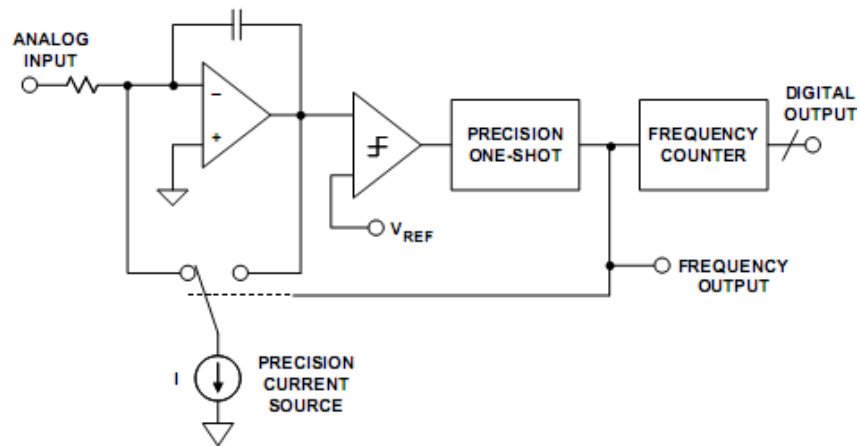
Feszültség frekvencia konverter, VFC (Voltage to Frequency Converter), egy oszcillátor, aminek frekvenciája lineárisan arányos a vezérlő feszültségével. A VFC ADC monoton, hiányzó kódtól mentes, integrálja a zajt, és keveset fogyaszt. Kicsi, olcsó, hasznos távmérő alkalmazásokban, mivel ráépíthető kísérleti tárgyakra, és tud kommunikálni számlálóval távmérő csatornákon keresztül.

Két megszokott struktúra, a *current-steering multivibrator VFC*, és a *charge-balance VFC*, aminek szinkron és aszinkron változata is van.



Ábra 20. Áramtekerő VFC

A FET-en átfolyó, bemeneti jellel arányos áram süti ki a kondenzátort, amíg a C ponton a feszültség nem éri el a küszöböt, ezután a kondenzátor kimenetei felcserélődnek és kezdődik előlről. 14 bit linearitás érhető el. A teljesítést korlátozza a komparátor küszöbzaja, komparálási küszöb hőmérsékletfüggése, kondenzátor stabilitása és dielektrikum abszorpciója.

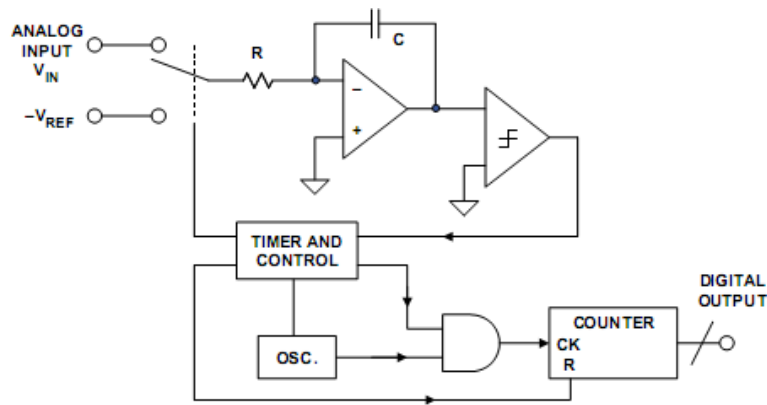


Ábra 21. Töltés-egyensúlyozó VFC

A charge-balance VFC pontosabb, 16-18 bit linearitás érhető el. A bemeneti jel arányában töltődik a kondenzátor folyamatosan. Amikor túllépi a küszöböt, fix mennyiségű töltés eltávolítódik. A kimeneti pulzusok gyakorisága így arányos a kondenzátor töltődésével.

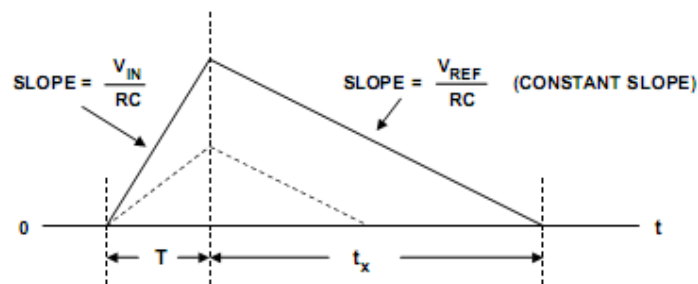
A *kettős meredekségű* ADC (dual-slope ADC), egy áttörés volt nagy felbontású alkalmazások számára.

A bemeneti jelet egy integráló áramkörre kell kapcsolni, és ugyanakkor el kell indítani egy számlálót.



Ábra 22. Kettős meredekségű ADC

Egy előre rögzített idő után, T , egy ellenkező polaritású referenciaforrás kapcsolódik az integrátorra a bemenő jel helyett, és a számláló is újraindul nulláról. Ebben a pillanatban az integrátor kapacitásán felhalmozott töltés arányos az integrálási idő alatti bemenet átlagos értékével. Amikor az integrátor eléri a nullát a számláló megáll.



Ábra 23. Kettős meredekségű ADC integrátorának kimeneti hullámformája

A töltésnyereség arányos $V_{IN}T$ -vel, és ez egyenlő a töltésvesztéssel, ami arányos $V_{REF}t_x$ -el.

$$\frac{V_{IN}}{RC}T = \frac{V_{REF}}{RC}t_x, \quad V_{IN} = \frac{t_x}{T}V_{REF}$$

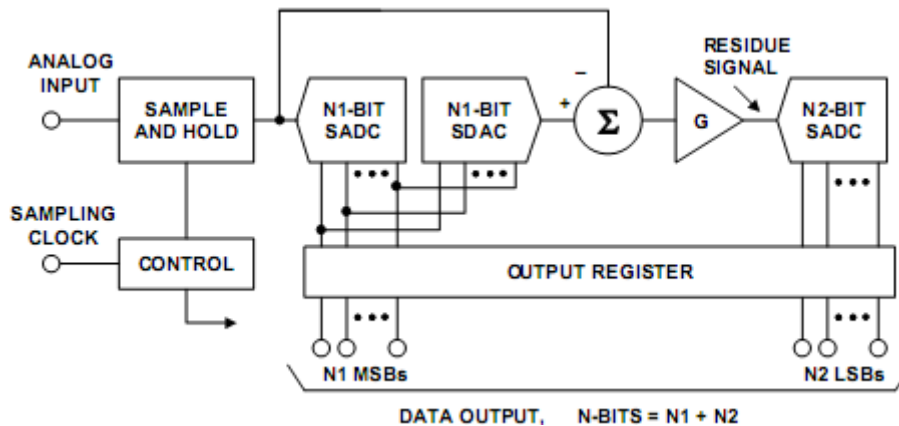
A számlált értékek képviselik az időket.

Kettős meredekségű integrálásnak sok előnye van. Konverzió pontosság független a kapacitástól és az órajel frekvenciájától, mert mindkettő egyformán befolyásolja mind a felfutó mind a lefutó lejtő tulajdonságaira. A rögzített bemenő jelintegrálási idő, zajelnyomást eredményez az analóg jel azon frekvenciáin, amelyek a periódusidő egész számú többszöröse az integrálási időnek. Megfelelő integrálási idő választással, kiváló zajelnyomás érhető el 50Hz-en. A T integrálási időt, az elnyomandó zaj periódusidejének egész számú többszörösére kell választani.

Az integrátor és a komparátor bias árama és offset feszültsége által okozott hiba és az erősítési hibák megszüntethetők. További töltő/kisütő ciklusokkal mérhető a nulla és a FS, és ezt az eredményt felhasználva digitálisan korrigálni lehet a kezdődő mérést.

2.3. Subranging és pipeline ADC

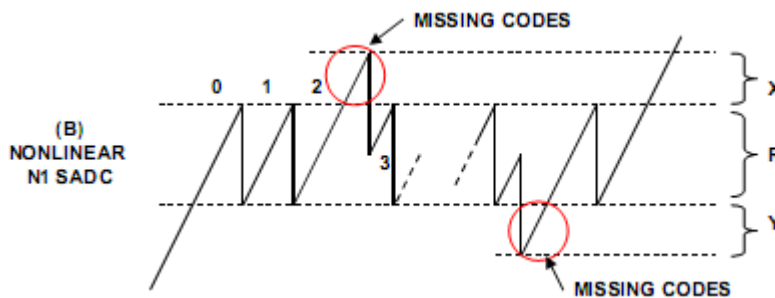
Az alap, 2 szakaszból álló N bites *subrange* ADC két konverziót hajt végre. Egy durva, N_1 bites konverziót az MSB A/D alkonverterrel, SADC, és egy finom N_2 bites konverziót az LSB SADC-vel. Korábban Flash konvertereknél alkalmazták, hogy lecsökkentsék a szükségére ellenállások és komparátorok számát, de manapság más struktúrához is használják.



Ábra 24. N bites 2 szakaszból álló subrange ADC

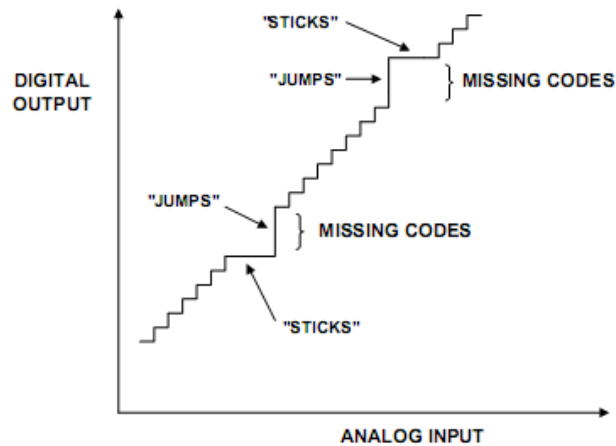
A mintavételt követően, végrehajtódik a durva N_1 bites konverzió. Az analógra visszaalakított durván kvantált jel, és a bemeneti jel különbsége kerül a második szakaszra, a bemeneti tartományának megfelelően normalizálva. Az N_1 és N_2 kimenetek be vannak latch-elve az $N = N_1 + N_2$ bites kimeneti regiszterbe.

A maradék jel offsetjét és erősítését úgy kell állítani, hogy precízen illeszkedjen a második szakasz bemeneti tartományához. Ha a szakaszok közötti hangolás nem helyes, hiányzó kódok fognak megjelenni az átviteli függvényben.



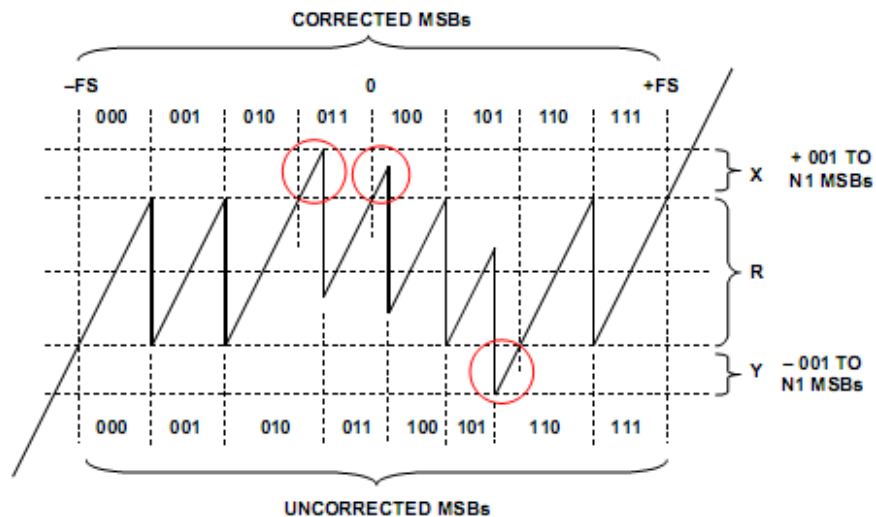
Ábra 25. N_2 SADC bemeneti hullámformája

Ha a jel kilép a bemeneti tartományból pozitív irányba, akkor a kimenet először beragad egy kódnál, majd hirtelen átugrik egy kódtartományt hiányzó kódokat okozva. Negatív irányba történő kilépés esetén, először ugrik, aztán beragad.



Ábra 26. Hiányzó kód MSB SADC nemlinearitás, vagy szakaszok közti elcsúszás miatt

Digitális hibajavítási technika szükséges a kódvesztés kiküszöböléséhez.



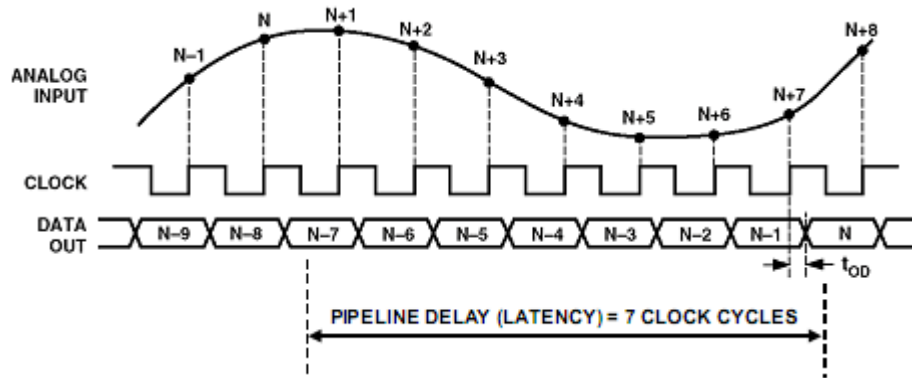
Ábra 27. Hibajavítás hozzáadott kvantálási szintekkel

Standard Subranging ADC-ben, a maradékjelnek pontosan ki kell töltenie az N2 SADC bemeneti tartományát. A 27. ábrán, N1 = 3 bit esetére van ábrázolva a maradékjel. A hiányzó kód probléma, extra kvantálási szintek hozzáadásával megoldható. Ezekhez a további szintekhez, további komparátorok szükségesek, az alap N2 Flash SADC-ben. Amint a maradékjel kilép a tartományból pozitív irányba, az N2 SADC-nek nulláról kell folytatnia a konverziót, és 001 kódot hozzá kell adni az N1 SADC kimenetéhez.

Modern digitálisan javított Subranging ADC nagyobb felbontású N2 SADC alkalmazásával éri el a további kvantálási szinteket. Egy bit hozzáadásával kétszeresére nő a tartomány. A maradékjel $\frac{1}{2}$ LSB-vel kiléphet mindkét irányba az N1 SADC-re vonatkozóan.

Offset technikát alkalmazva, azaz egy megfelelő offsetet hozzáadva a maradékjelhez, megspóroljuk a kivonót és csak egy összeadó szükséges a korrekcióhoz.

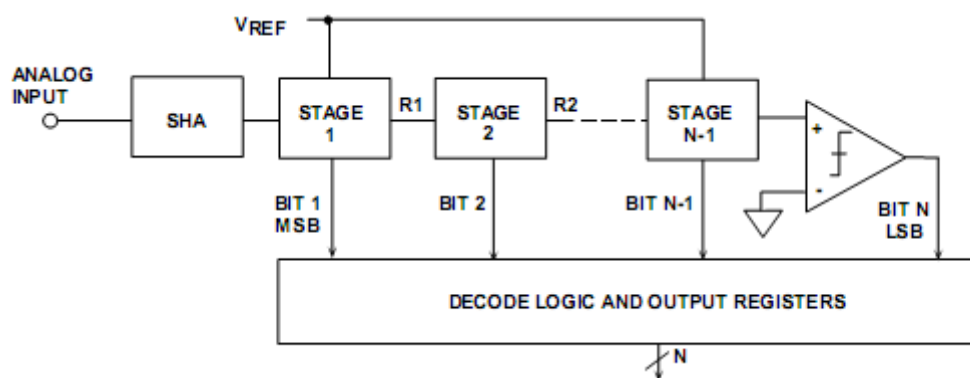
A *pipeline struktúra* kifejezés arra utal, hogy minden szakasz, az előző szakasztól érkező adatokat dolgozza fel órajelenként. A szakasz kimenete tovább van küldve a következő szakasznak tartó áramkörön keresztül, majd új adat van beléptetve a szakaszba. A digitális kimeneteket, az utolsó szakasz kivételével tárolni kell megfelelő számú shift regiszterben, hogy a kimeneti regiszterben ugyanahhoz a mintához tartozó adatok legyenek.



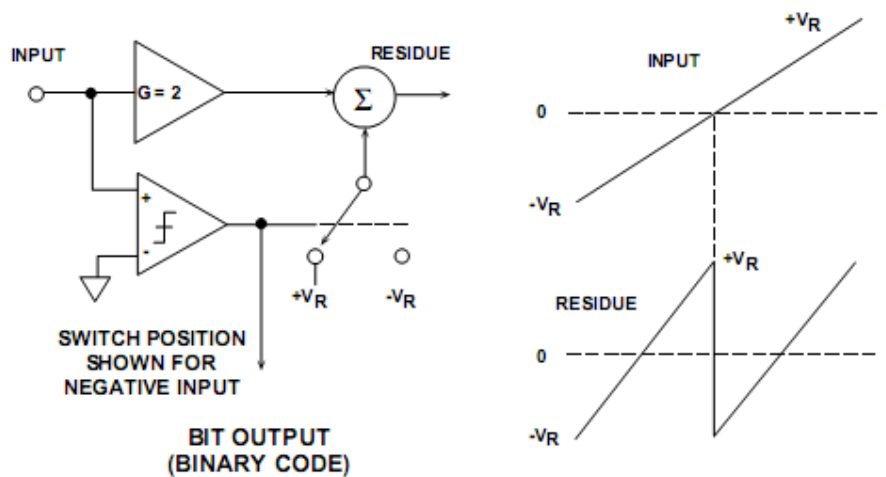
Ábra 28. Késleltetés 8 szakaszból álló pipeline ADC-ben

Az adatlapokon mindig megtalálható a pontos összefüggés a mintavétel és a kimenő adat között. Sok alkalmazásban a késleltetés nem jelent problémát. De egy szabályozó körön belül instabilitást okozhat. Problémát okozhat multiplexelt vagy egyszeri mintákat igénylő alkalmazásokban.

A következő struktúrában minden bithez külön szakasz tartozik, azaz *szakaszonként egy bitet* állít elő. A bemenetet állandó értéken kell tartani a teljes konverzió alatt. Minden szakasznak két kimenete van, a bit kimenet és a maradékjel kimenet. A maradékjel kimenet kerül a következő szakasz bemenetére további feldolgozásra.



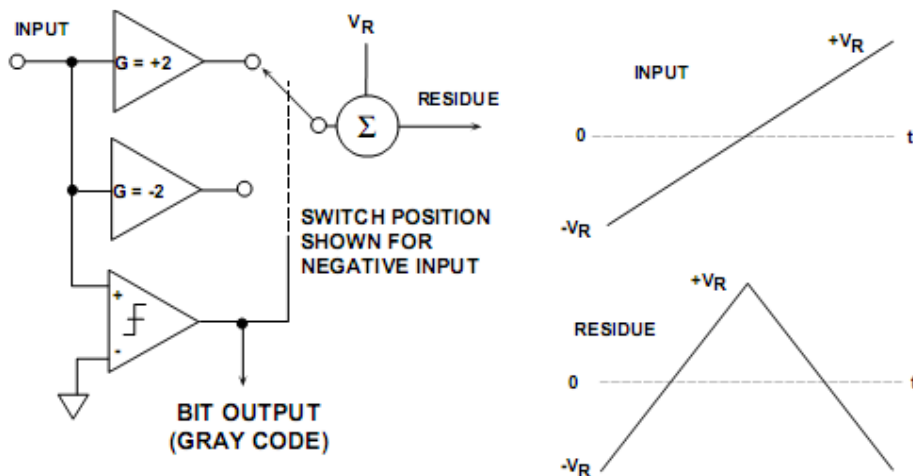
Ábra 29. Bit per szakasz (bit per stage) ADC



Ábra 30. Alap szakasz - bináris bitkonverzió

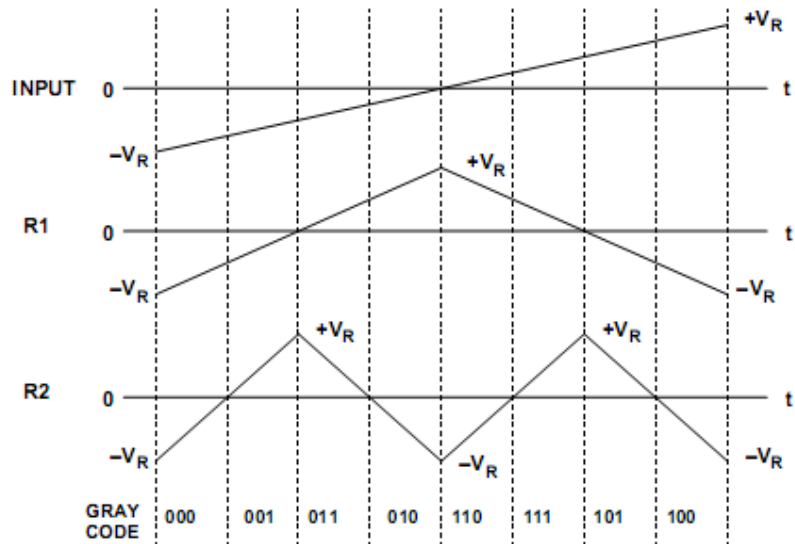
Az első bit egyszerűen a polaritása a bemenetnek. Ezt követő bitek pedig a maradékok polaritása szerint veszik fel értéküket. A kétszeres erősítések miatt a maradékjelek meredeksége duplázódik. A struktúra alapvető problémája az ugrás a maradékjel hullámformájában. Megfelelő beállás időt kell biztosítani, hogy a tranziensek végig tudjanak terjedni a végső komparátorig. Ez megghiúsítja a nagy sebességű működést.

Gray kódot előállító átviteli függvény folytonossá teszi a maradékjel hullámformáját, így nagyobb sebességgel működtethető.



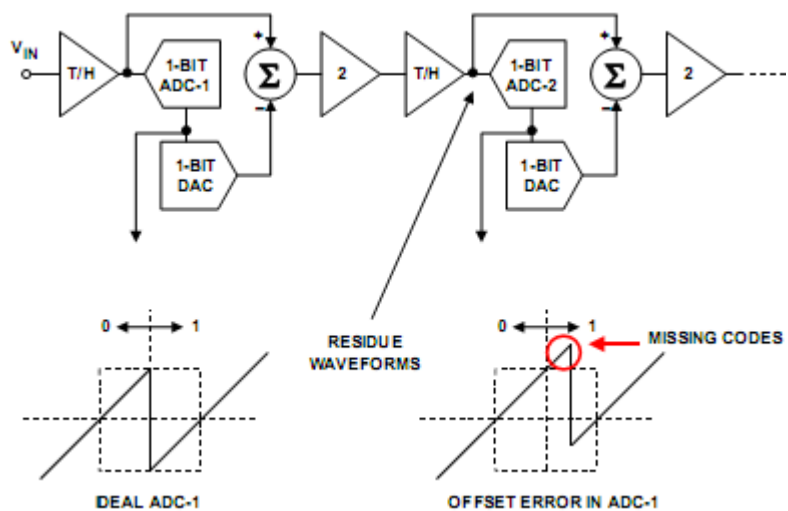
Ábra 31. Alap szakasz – Gray kódú bitkonverzió

Hasonlóan a bináris kódolású szakaszhoz, itt is egy komparátor érzékeli a szakasz bemeneti jelének polaritását. A maradékjel polaritása határozza meg a Gray bitjét a következő szakasznak.



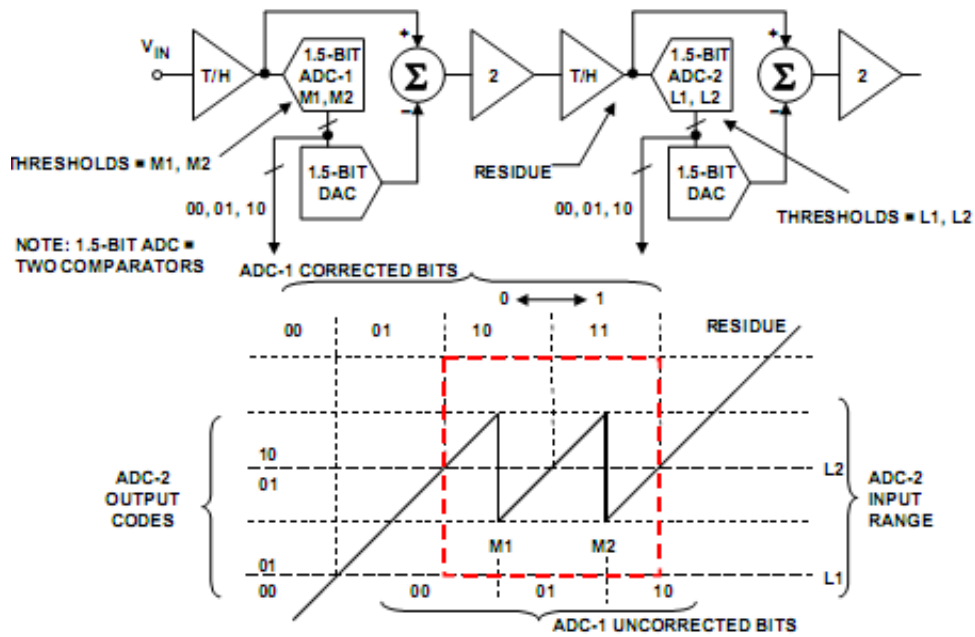
Ábra 32. Bemenő és maradékjel hullámformák

Pipelineosítva és hibakorrekcióval kiegészítve, kis torzítású nagy dinamikájú ADC kapható.



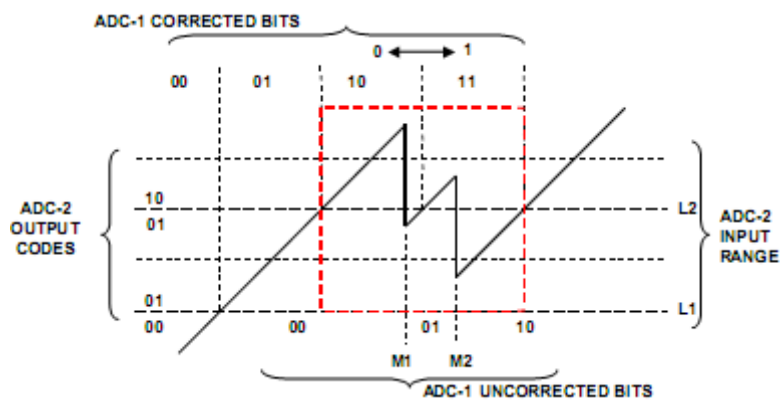
Ábra 33. Pipelineosított bit per szakasz ADC

Az egy bites szakaszokban, javíthatjuk a hibát egy komparátor hozzáadásával. Ezt másfél bites szakasznak nevezik. A két párhuzamos komparátornak 3 kimeneti kódja lehet. A pipeline utolsó szakasza még egy komparátort igényel, 2 bites szakaszt kapva.



Ábra 34. 1,5 bit per szakasz pipeline ADC és a hibajavításra alkalmas jeltartomány

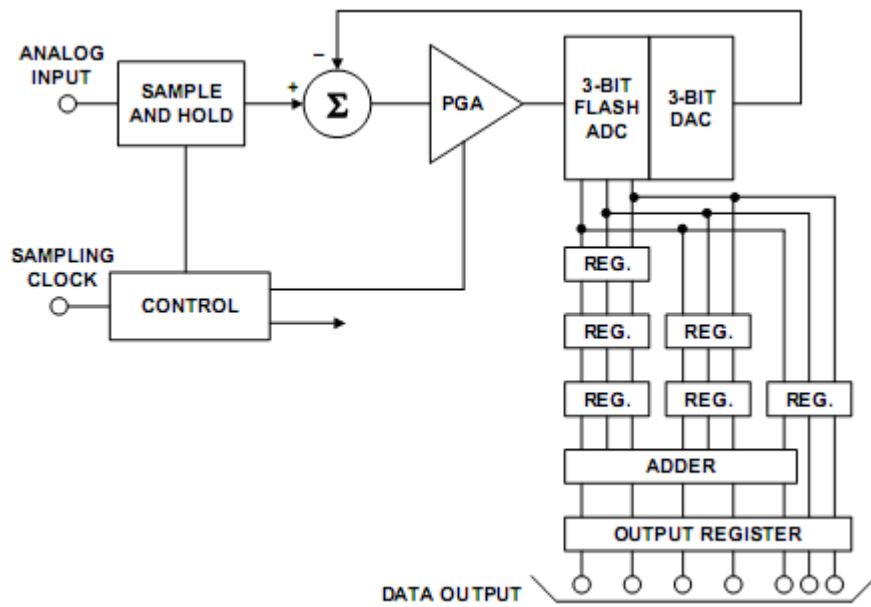
Az első szakasz küszöbszintje M1 és M2, a második szakaszé L1 és L2. Össze kell adni a két szakasz kimeneti kódját. Ha az összeadás eredménye 11, akkor az első szakasz kimeneti bitje 1, egyébként nulla.



Ábra 35. Az első szakasz hibájának korrigálása

Az első szakaszban keletkezett maximum $\pm\frac{1}{2}$ LSB nagyságú hibák korrigálhatók ezzel a módszerrel.

Érdemes még megemlíteni a következő struktúrát.

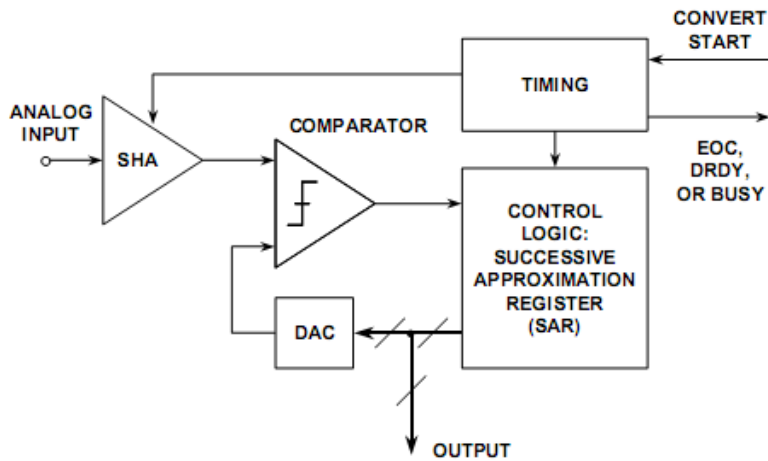


Ábra 36. körbeforgató (recirculating) ADC

2.4. Fokozatos közelítésű ADC

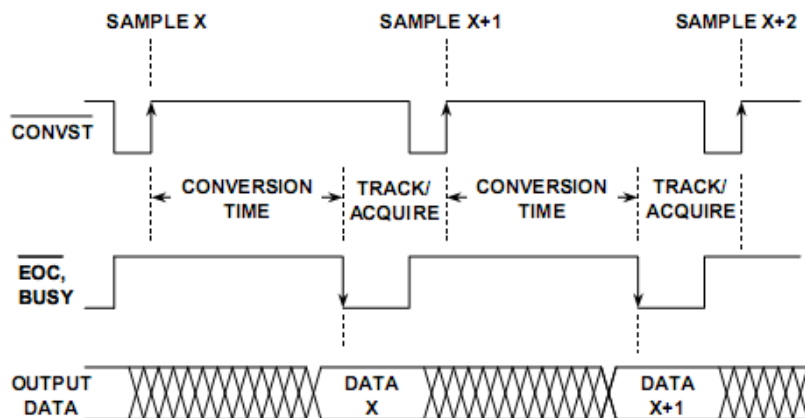
Az alap fokozatos közelítésű (successive approximation) ADC, parancsra hajtja végre a konverziót. A CONVERT START parancs érvényre jutásakor a bemeneti erősítő tartó módba vált, és a konverter regisztere, SAR (successive approximation register) visszaáll nullára.

A mintavételezett jelet alulról próbáljuk közelíteni úgy, hogy sorban haladva 1-esbe állítjuk a SAR bitjeit, az MSB-vel kezdve. A SAR egy belső digitális-analóg konvertert hajt meg, aminek kimenete egy komparátor segítségével össze van hasonlítva a bemeneti jellel. A beállási idő letelte után, ha a komparátor alapján a digitális-analóg konverter kimenete magasabb bemeneti jelnél, akkor törölni kell a SAR regiszter aktuális bitjét. Az összes bit tesztelése után a SAR tartalma, a kvantálási zajt leszámítva megegyezik a bemenettel, és a konverzió a végére ért.



Ábra 37. Alap fokozatos közelítésű ADC

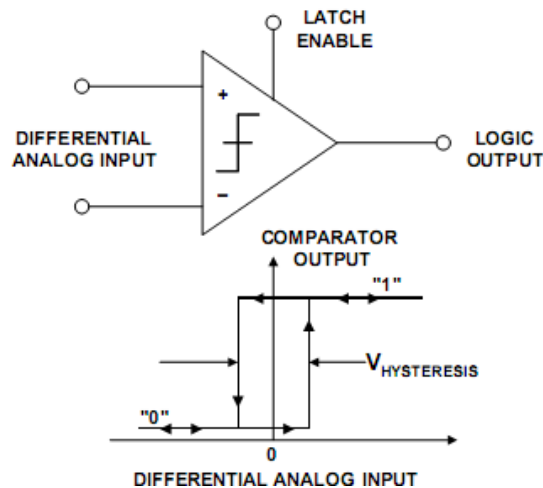
A digitális-analóg konverter beállási ideje korlátozza a konverzió sebességét.



Ábra 38. Tipikus SAR ADC időzítések

2.5. Flash és komparátor ADC

Az 1 bites ADC egyszerűen egy komparátor. Ha a bemenete magasabb a küszöbszintnél, akkor kimenete 1, egyébként nulla. Nincs olyan ADC struktúra, amelyhez ne lenne legalább egy komparátor. A komparátor hasonlít a műveleti erősítőre a differenciális bemenetében, de nem használ külső visszacsatolást, és a logikai szintekkel kompatibilis a kimenete. A műveleti erősítő telítődhet túlterheléskor és lassan tér vissza normál működésbe. A komparátor tartalmaz beépített latch-et is.



Ábra 39. Komparátor

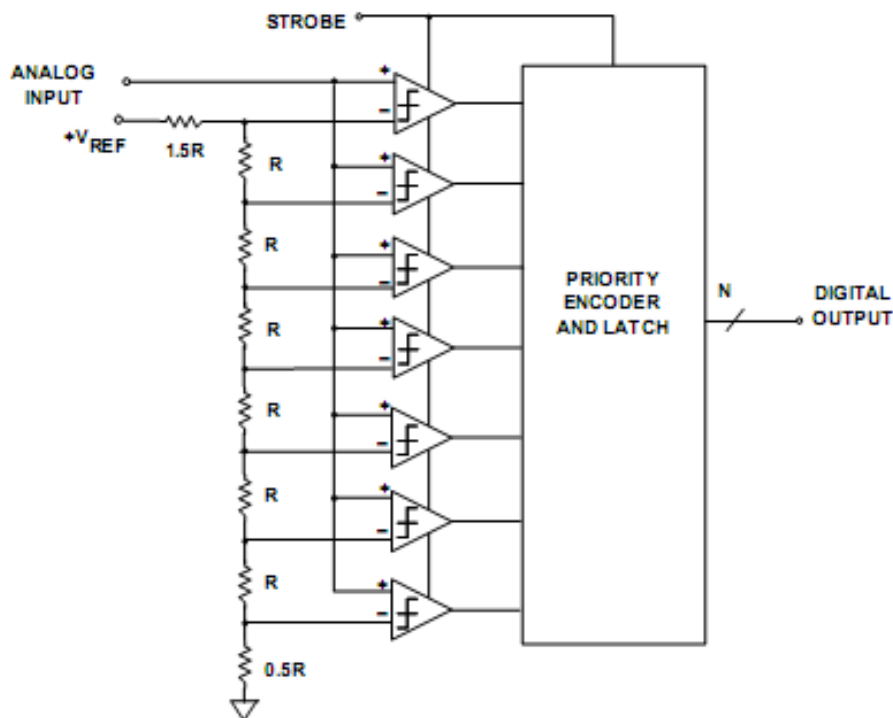
Az A/D konverterekben használt komparátornak nagy felbontásúnak kell lennie, aminek feltétele a nagy erősítés.

A nulla körüli oszcilláció megakadályozásához, pozitív visszacsatolással hiszterézis van beépítve. A hiszterézis nagysága korlátozza a komparátor felbontását.

Azt a hibát, amikor a komparátor nem tud dönteni kis differenciális bemenet esetén, metastabilitásnak nevezzük. Ez azt jelenti, hogy egy rövid ideig a küszöbszintjén egyensúlyoz. Kis differenciális bemeneti feszültségekre, tovább tart a kimenetnek beállni érvényes logikai szintre.

Ha a differenciális bemenet nulla, akkor a komparátor elméletben egyensúlyban van. A hiszterézis és a bemeneti zaj azonban valószínűtlenné teszi ezt az állapotot.

A leggyorsabb ADC típus a Flash konverter. Sok komparátort használ. Egy N bites Flash 2^N-1 komparátorból és 2^N ellenállásból áll.



Ábra 40. 3 bites Flash konverter

Az ellenállás lánc, egymástól 1 LSB távolságban lévő referenciaforrásokat biztosít a komparátorok számára. Egy adott bemeneti jelre, a komparátorok egy pont alatt mind magas kimenetet adnak, felette pedig, ahol a referencia magasabb, mint a bemenő jel, alacsony kimenetet adnak. Emiatt szokták néha a kimenetet hőmérő kódnak nevezni. A struktúra által igényelt nagyszámú komparátor és ellenállás korlátozza az elérhető felbontást. Ráadásul a gyors komparátorok sokat fogyasztanak. Tovább növeli a fogyasztást, hogy az ellenállás lánc ellenállását alacsonyan kell tartani, hogy elégséges bias áramot tudjon biztosítani a komparátoroknak.

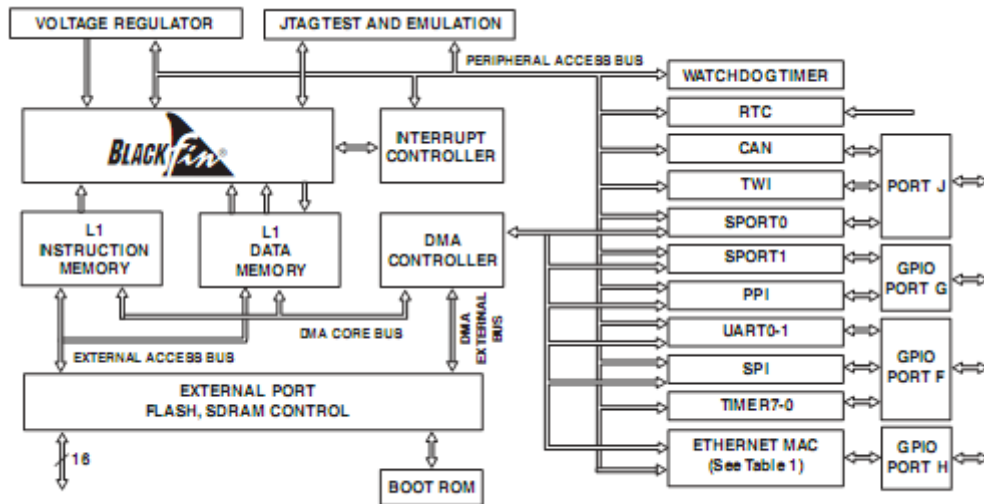
Ideálisan, a komparátorok a Flash konverterben egyformák a karakterisztikák szempontjából, így önmagában mintavételez a latch jel hatására. A gyakorlatban azonban szükség van egy követő és tartó erősítőre a bemeneten. Nélküle a komparátorok késleltetési különbsége nagy frekvencián összemérhető a jelváltozással, és leromlik a hatásos bitszám. Másik célja a bemeneti erősítőnek, hogy leválassza a komparátorokat, amiknek amplitúdó függő bemeneti kapacitásuk van, és nagy számban párhuzamosan kötve nagy terhelést jelentenek.

3. DSP

A következő szakaszokhoz a [3] [4] szakirodalmak szolgálták alapul.

3.1. ADSP-BF537 processzor

3.1.1. Bevezetés



Ábra 41. Funkcionális blokk diagram

Processzor perifériák:

- Chipre épített, 1-63x frekvencia többszörözésre képes PLL
- 32 bites processzormag időzítő
- Esemény kezelő, 32 megszakítás bemenettel
- 12 periféria DMA, egy memória DMA, egy handshake memória DMA
- Hibakereső és JTAG interfész
- Watchdog időzítő
- Valós idejű óra (RTC)
- Controller Area Network (CAN) 2.0B interfész
- 2 vezetékes interfész (TWI)
- 2 kétcsatornás, full-duplex szinkron soros port (SPORT), amelyek támogatnak 8 sztereo I²S csatornát
- Párhuzamos periféria interfész (PPI), amely támogat ITU-R 656 video formátumot
- 2 UART, IrDA támogatással
- Soros periféria interfész (SPI)
- 8 darab 32 bites időzítő / számláló, PWM támogatással
- IEEE 802.3 10/100 Ethernet MAC
- 48 általános célú I/O (GPIO), ebből 8 nagy áramú meghajtóval (PF7-0)

Mindegyik periféria saját, nagy sávzélességű buszon keresztül kapcsolódik a processzormaghoz. A SPORT, PPI, SPI, UART, és Ethernet MAC perifériákat DMA-val is használhatjuk.

A bőséges perifériakészlet miatt, a processzor 4 portra csoportosítja a sok periféria kivezetést – F, G, H, és J port. A legtöbb fizikai be/kimenethez több perifériáláb rendelhető. A portok multiplexer vezérlőként funkcionálnak.

48 kétirányú, általános célú I/O található 3 külön GPIO modulban – PORTFIO, PORTGIO, és PORTHIO kapcsolódva az F, G, és H portokkal. A J port nem biztosít GPIO funkcionalitást. Minden általános célú port I/O külön vezérelhető, a port vezérlő, státusz, és megszakítás regiszterein keresztül:

Minden chipen lévő periféria a rendszer órajellel van ütemezve. A rendszer órajel frekvenciája programozható a PLL_DIV regiszter SSEL[3:0] bitjein keresztül. A mag órajel, és a rendszer órajel a külső órajelből van származtatva. A chipen lévő fázis zárt hurok, PLL (Phase Locked Loop), programozható módon képes többszörözni a bemeneti órajel frekvenciáját. Az alapértelmezett többszörözési együttható 10x, de szoftveresen állítható, az órajel maximum és minimum értékei között. A PLL_DIV regiszter írásával, működés közben változtatható a frekvencia.

A processzor tartalmaz egy feszültség szabályozót, amely képes a külső 2,25-3,6V feszültségből, 0,8-1,2V belső feszültséget előállítani. A belső feszültség a VR_CTL regiszter írásával állítható, 50mV lépésekben.

A frekvencia és a feszültség működés közbeni dinamikus állításával, minimalizálható a fogyasztás az alkalmazás által engedett mértékig.

3.1.2. Memória

Type of Memory	ADSP-BF537
Instruction SRAM/Cache, lockable by Way or line	16K byte
Instruction SRAM	48K byte
Data SRAM/Cache	32K byte
Data SRAM	32K byte
Data Scratchpad SRAM	4K byte
Total	132K byte

Ábra 42. ADSP-BF537 memória konfiguráció

A Blackfin processzor architektúra, egységes területként 4G bájt memóriát tartalmazhat. A memória bájtontként címezhető, 32 bites címet használva. Minden erőforrás a sima 32 bites címtartományra van leképezve. Az architektúra nem definiál külön I/O területet. Minden erőforrás, azaz a belső memória, a külső memória, és az I/O vezérlő regiszterek, külön-külön területeket foglalnak el ezen az általános memória területen.

Az első szintű, L1 (Level 1) memória rendszer, az elsődleges, leggyorsabb memória a mag számára. A külső memória rendszerbővítést biztosít, SDRAM, Flash memória, és SRAM használatával. A külső busz interfész egységen, EBUI-n (External Bus Interface Unit) keresztül érhető el, és 132M bájt méretig van fenntartva hely számukra.

Programozás szempontjából egységes a memória, de fizikailag a mag külön buszokon fér hozzá az adatokhoz és az utasításokhoz.

A memória DMA vezérlővel lehet nagy sávszélességű adatmozgatást megvalósítani. Blokkos adat vagy kód átvitel lehetséges a belső és a külső memóriaterületek között.

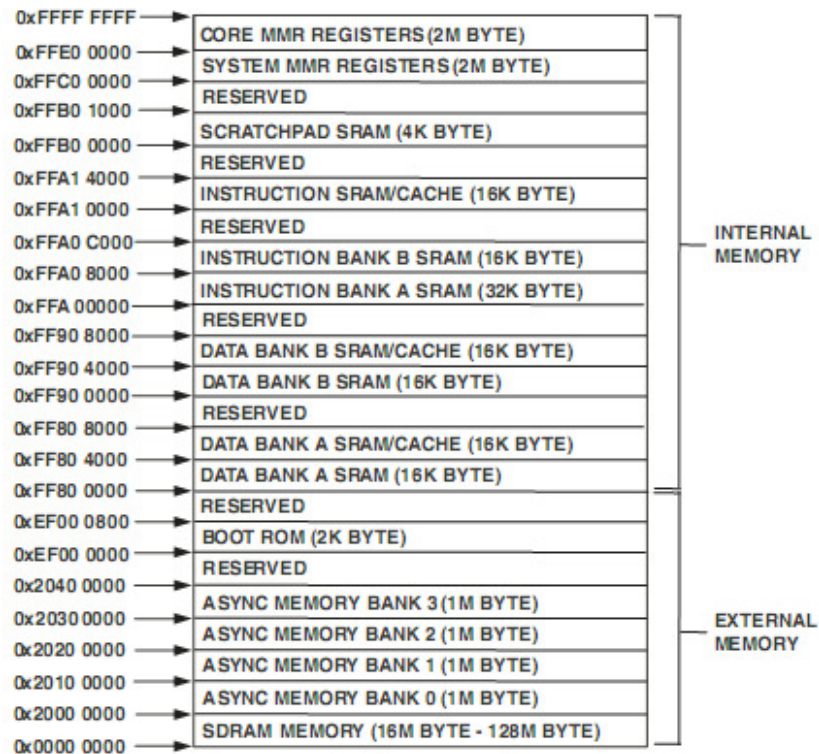
A processzornak 3 blokk chipen lévő memóriája van, nagy hozzáférési sávszélességgel a mag felé:

- L1 utasítás memória. Teljes processzorsebességgel hozzáférhető. Általános célú utasítás memóriának vagy (4-way set-associative) cache-nek konfigurálható.
- L1 adat memória. Teljes processzorsebességgel hozzáférhető. SRAM-nak vagy (2-way set-associative) cache-nek konfigurálható.
- L1 gyors munkaterület (scratchpad) RAM. Ez is teljes processzorsebességgel hozzáférhető, de csak adat SRAM-ként használható, nem konfigurálható cache-ként.

A külső memória, a külső busz interfész egységen keresztül érhető el. Ez a 16 bites interfész kapcsolatot biztosít egy csoport SDRAM-al, és 4 csoport aszinkron memória eszközzel, azaz Flash memóriával, EPROM-al, ROM-al, SRAM-al, és memóriába ágyazott I/O eszközzel.

A PC133 SDRAM vezérlő, felprogramozható maximum 128M bájt SDRAM illesztésének kezelésére.

Az aszinkron memóriavezérlő, felprogramozható maximum 4 csoport eszköz vezérlésére. Mindegyik csoport 1M bájt szeletet foglal el, tekintet nélkül az eszköz által használt méretre.

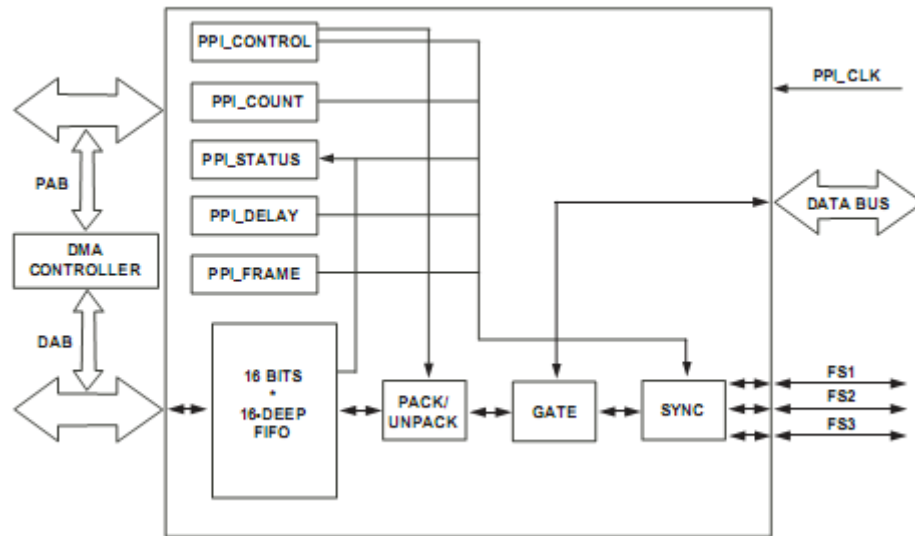


Ábra 43. ADSP-BF537 memória térkép

A külső memóriatartományban a 0x0000 0000 kezdőcímmű memóriacsoport, SDRAM számára van fenntartva, és 16M-128M bájt méretű tartomány támogatott. A 0x2000 0000 címtől 4 darab 1M bájt csoport következik, aszinkron memóriának fenntartva.

A 0xEF00 0000 címen helyezkedik el 2k bájt méretű boot ROM. Hozzáférs 1 rendszer órajelig tart, nem igényel várakozási állapotot.

3.1.3. Párhuzamos port



Ábra 44. PPI blokk diagram

A párhuzamos port, PPI (Parallel Peripheral Interface) fél-duplex, kétirányú port, maximum 16 bit adattal használva. Egy órajel és három keretszinkronizáló jel is tartozik hozzá, amelyek polaritása programozható. Video alkalmazásokhoz támogatja az ITU-R 656 ajánlást, de például A/D konverter illesztéséhez is használható.

A PPI-nak több általános célú módja van. Ezek a módok főként az adatkeretezés módjában különböznek. Ha egy bizonyos mód nem használja valamelyik keretszinkronizációs jelet vagy nem mind a 16 bitet, akkor a hozzájuk tartozó egyéb funkciók felhasználhatók szabadon.

A G portra kapcsolódnak az adatbitek, az F port 15-ös bitjére (PF15) pedig a latch-elő órajel.

Keretszinkronizáció nélküli módba, az indító jel fogadása után a DMA vezérlő továbbítja a PPI_COUNT által megadott számú mintát. Az indító jel lehet külső vagy belső. A külső indítójel esetén egy külső forrás küld egy egyszeri keretszinkronizációs jelet. Belső forrás esetén a szoftver kezdeményezi a folyamatot, a PORT_EN bitet egybe írva a PPI_CONTROL regiszterben. A PPI_CONTROL regiszter leírása megtalálható a 6.2. szakaszban.

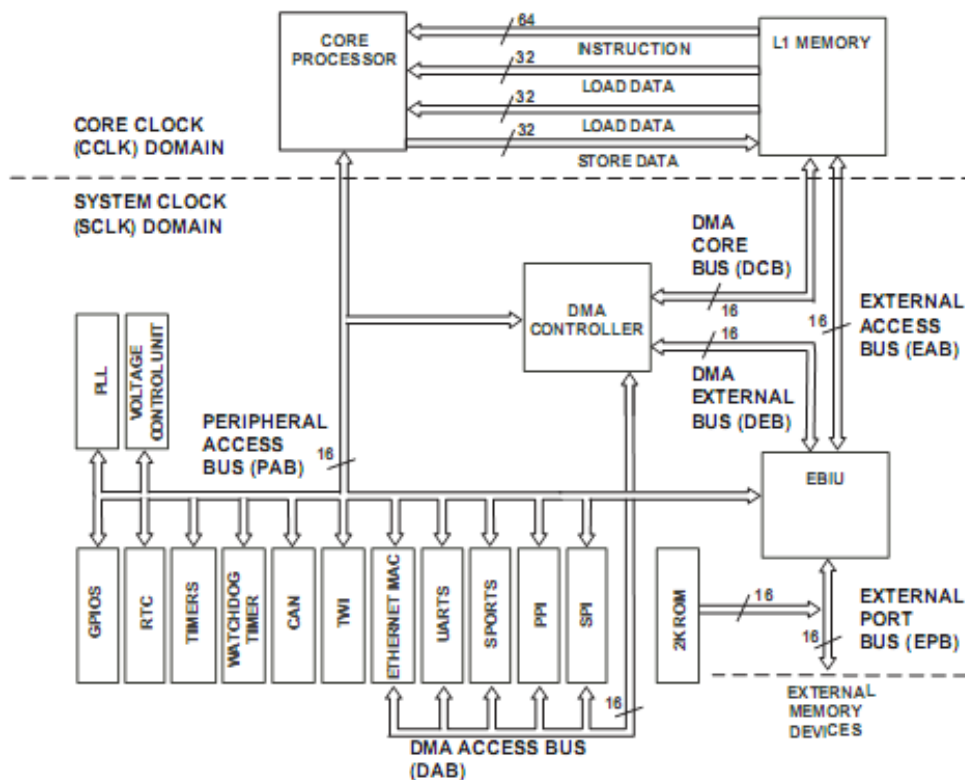
A PPI csak a processzor DMA motorjával együtt használható. A DMA0 csatornát szükséges konfigurálni a PPI használata előtt.

3.1.5. DMA

A közvetlen memória hozzáférés, DMA (Direct Memory Access) egy periféria. A processzor adattovábbításra használja a DMA-t, memóriaterületek között, vagy memória és periféria között. A processzor csak specifikálja az adatátvitelt és visszatér normál működésébe, miközben a teljesen integrált DMA vezérlő végrehajtja az adatátvitelt, függetlenül a processzor működésétől. A DMA-nak saját buszai vannak.

A DMA vezérlő három fajta adatátvitelt tud végrehajtani. A periféria DMA a chipen lévő periféria és a memória között visz át adatot. 12 független periféria DMA csatornája van a processzornak, a nullás csatorna tartozik a párhuzamos porthoz. A következő típus a memória DMA, amely memóriák között visz át adatot. A harmadik típus a handshake memória DMA, amely a memória, és külső memória vagy külső periféria között visz át adatot.

DMA átvitel lehet leíró-alapú vagy regiszter alapú. A leíró-alapú DMA átvitel a memóriába írt és tárolt paraméterek alapján kezdeményezi az átvitelt. A regiszter-alapú DMA esetén a processzor írja a DMA vezérlő regisztereket és kezdeményezi az átvitelt.



Ábra 45. Processzor busz hierarchája

A DMA nem kapcsolódik közvetlenül külső eszközökhöz, csak a külső busz interfész egységen keresztül.

A 16 bites DMA mag busz, DCB (DMA Core Bus) kapcsolja a DMA vezérlőt az L1 memória egy dedikált portjához. A DCB a processzormag-órajel sebességével működik, a DMA vezérlő felelőssége illeszteni a buszon történő átvitelt a rendszer-órajel sebességéhez.

A memória DMA, minden rendszer-órajelre tud adatot továbbítani az L1 memória és az EBIU között. Az átvitel L1 memóriából L1 memóriába 2 órajelet igényel, mert a DCB a forrás és a cél elérésekor is használva van. A periféria DMA átvitel minden második órajelre lehetséges. A DMA vezérlő tartalmaz minden periféria DMA csatornához saját, 4 mélységű FIFO-t, elválasztani a DMA hozzáférési busz, DAB (DMA Access Bus) aktivitását a DCB és a DMA külső busz, DEB (DMA External Bus) elérhetőségétől.

A Blackfin architektúra tartalmaz több olyan mechanizmust, amelyek vezérlik a rendszer viselkedését, a jobb teljesítmény eléréséhez. Azonban az eredményes DMA átvitel gyakran az alkalmazás szintű körülményektől függ. Ismerni kell a sávszélesség igényt, a valós idejű követelményeket, a processzorral való versengést az erőforrásokért, az adatirányváltás gyakoriságát, vagy külső memória DMA esetén SDRAM lapváltásának gyakoriságát.

A DMA csatornák szigorúan a prioritásuknak megfelelő sorrendben vannak kiszolgálva. A prioritás megegyezik a csatornák sorszámával, ahol a kisebb szám jelenti a magasabb prioritást.

Ha a pillanatnyi DMA forgalom meghaladja a sávszélességét, akkor torlódást okoz. Ha a torlódás folytatódik, az alacsonyabb prioritású perifériák FIFO-i túlcsoportolnak. A kiszolgáltatlan periféria rendszerhibát okozhat. E lehetőség minimalizálása céljából a DMA egység észleli, ha valamelyik kimeneti periféria FIFO-ja üres vagy bemeneti periféria FIFO-ja megtelt, és kedvezményesen legmagasabb prioritással kiszolgálja.

3.2. ADSP-BF537 EZ-KIT Lite fejlesztő kártya



Ábra 46. ADSP-BF537 EZ-KIT Lite kártya

Az EZ-KIT Lite kártyát úgy tervezik, hogy bemutassa a processzor képességeit. A processzor I/O feszültség szintje 3,3V. A mag feszültsége és a mag órajel sebessége szoftverből állítható. A bemeneti órajel 25MHz. Egy 32768kHz-es kristály táplálja a processzor valós idejű óra bemenetét.

A JTAG emuláló port lehetővé teszi egy emulátornak, hogy hozzáférjen a processzor belső és külső memóriájához egy 6 tűs csatlakozón keresztül. A processzor JTAG emuláló portja az USB debug felülethez is kapcsolódik. Amikor az emulátor kapcsolódik a kártyához, az USB debug felület le van tiltva.

6 LED férhető hozzá a felhasználó számára a PF11-6 processzor lábakon. Magas jelet programozva a megfelelő lábra, kigyújtható a LED. 4 nyomógomb érhető el a PF5-2 lábakon. A PF magasat olvas, amikor a nyomógomb be van nyomva. A kapcsolat a nyomógomb és a PF bemenet között az 5-ös kapcsolón, SW5-ön keresztül valósul meg. Amikor a kapcsoló off pozícióban van, akkor a nyomógomb le van választva, és az alap processzorláb funkció használható a bővítő csatlakozón.

Az A/D konverter a párhuzamos portot használja. A keretszinkronizáló jelek a PF9-7 lábakon vannak 3 LEDdel megosztva. A G port biztosítja a 16 adatbitet. A 6-7 bitek vannak közös csatlakozón két UART jellel. A SW4.2 és SW4.4 kikacsolásával leválasztható az UART a csatlakozóról.

4. Az aktuális IC választék áttekintése

A jelentősebb ADC gyártó cégek az Analog Devices, a Texas Instruments, a Linear Technology, a National Semiconductor, a Maxim Integrated Products, és az Intersil. Az általános célú 8-16 bites, néhány millió minta másodpercenként (MSPS) mintavételi sebességű A/D konverterek mellett, választhatók nagy felbontású, 24 bites, vagy nagy sebességű, néhány száz MSPS mintavételi sebességű A/D konverterek is.

A Texas Instruments cégtől választottam konvertert, mert széles választék áll rendelkezésre, és ingyenes minták rendelhetők pár napos szállítási idővel. Az 1. táblázat két A/D konvertert hasonlít össze példaként, a jellemző paraméterek áttekintéséhez.

Paraméterek	ADS6145	ADS7882
Architektúra	Pipeline	SAR
Felbontás [bit]	14	12
Mintavételi sebesség [MSPS]	1-125	3 (max)
Bemeneti csatornák száma	1	1
Bemenet típusa	Differenciális	Pszeudo differenciális
Bemeneti tartomány	$2V_{pp}$	V_{ref}
Kimeneti interfész	Párhuzamos (CMOS, LVDS)	Párhuzamos
Referencia mód	Belső vagy külső	Belső vagy külső
Feszültségforrások száma	2	2
Analóg feszültség [V]	3,3	5
Digitális feszültség [V]	1,8 – 3,3	2,7 – 5
Fogyasztás [mW]	417	85
Tokozás	32QFN	48TQFN
INL [\pm LSB] (max)	4,5	4
DNL [\pm LSB] (max)	0,95	4

Hiányzó kódtól mentes [bit]	14	10
SNR [dB]	74,1	71,5
SFDR [dB]	84	80,5
SINAD [dB]	72,7	68,5
THD [dB]	82	80
ENB [bit]	11,7	11,2
Analóg sávszélesség [MHz]	450	50
Apertúra késleltetés [ns]	1,5	2
Apertúra jitter [ps]	0,15	20
Erősítési hiba	$\pm 0,3$ [% FS]	$\pm 1,2$ [mV]
Offset hiba [mV]	± 2	± 1
Tápfeszültség elnyomási t.	35 [dBc]	80 [dB]
Közös módú elnyomású t.	50 [dBc]	60 [dB]

Table 1. Az ADS6145 és az ADS7882 konverterek összehasonlítása

5. Próbapanel tervezése

A következő szakaszokhoz a [5] szakirodalom szolgált alapul.

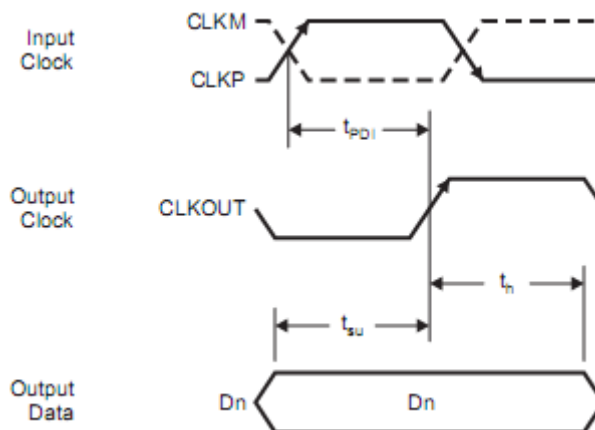
5.1. ADS6145 konverter

Az ADS6145 IC-be integrált nagy sávszélességű mintavevő és tartó áramkör, és az alacsony jitterű órajel puffer, még nagy bemeneti frekvenciákon is jó SNR-t és SFDR-t eredményez.

A digitális adatkimenet CMOS vagy DDR LVDS. A kimeneti latch órajel pozíciója, a kimeneti pufferek erőssége, az LVDS áram, és a belső lezárás nagysága programozható az illesztés megkönnyítéséhez.

A kimeneti interfész típusa, az erősítés, és más funkciók egy 3 vezetékes soros porton keresztül programozhatóak. A programozás mellőzhető a RESET, a PDN, és a soros port 3 vezetéket, párhuzamos vezérlő jelként használva. Így a konfigurálható funkciók száma szűkebb, de az eszköz bekapcsolás után rögtön a megfelelő állapotba kerül.

5.1.1. Időzítési karakterisztikák



Ábra 47. CMOS időzítési diagram

A bemeneti és a kimeneti órajelek közötti terjedési idő $t_{PD1} = 5,8$ ns. Az érvényes adatot két idő definiálja a kimeneti órajelhez képest. A 'setup time' $t_{SU} = 4,4$ ns, és a 'hold time' $t_H = 2,7$ ns. (ld 47. ábra)

A pipeline struktúra miatt a kimeneti adat 9 órajel késik. A kimeneten megjelenik a mintavételezett jelhez tartozó kód, a mintavételezést követő kilencedik órajelre.

5.1.2. Programozási módok

A prototípusban a párhuzamos vezérlő interfészt használtam a funkciók konfigurálásához. Mindegyik bemenetre egy jumper kapcsolja a megfelelő feszültségszintet. A jumper eltávolítása után, a soros programozási mód használható.

A párhuzamos interfész használatához a RESET bemenetet magas szintre kell kötni. A /SEN, SCLK, SDATA, és PND vezérlőbemeneteket a konfigurációnak megfelelő szintre kell kötni. A gyakran használt funkciók konfigurálhatóak ebben a módban.

Az SDATA és a PND bemenetekkel választható aktivitási mód. Az 2-4. táblázatokban félkövér betűméret jelzi a választott módot.

SDATA	PND	Leírás
Alacsony	Alacsony	Normális működés
Alacsony	Magas	ADC kikapcsolva
Magas	Alacsony	Kimeneti pufferek kikapcsolva
Magas	Magas	ADC, belső referencia, kimeneti pufferek kikapcsolva

Table 2. A SDATA és a PND vezérlőbemenetekkel választható funkciók

Az SCLK és /SEN jeleket analóg vezérlő jeleknek nevezik, mert 4 különböző feszültségszint érvényes a bemeneten, 0, 3/8 AVDD, 5/8 AVDD, és AVDD.

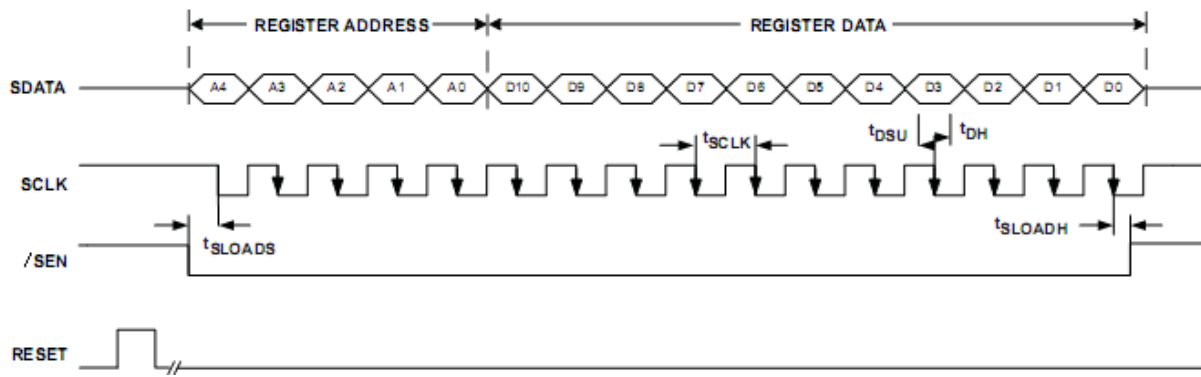
SCLK	Leírás
0	Belső referenciaforrás és 0 dB erősítés (bemeneti tartomány $2 V_{pp}$)
3/8 AVDD	Külső referenciaforrás és 0 dB erősítés (bemeneti tartomány $2 V_{pp}$)
5/8 AVDD	Külső referenciaforrás és 3,5 dB erősítés (bemeneti tartomány $1,34 V_{pp}$)
AVDD	Belső referenciaforrás és 3,5 dB erősítés (bemeneti tartomány $1,34 V_{pp}$)

Table 3. Az SCLK vezérlőbemenettel választható funkciók

/SEN	Leírás
0	Kettes komplementes formátumú DDR LVDS interfész
3/8 AVDD	Egyszerű bináris formátumú DDR LVDS interfész
5/8 AVDD	Egyszerű bináris formátumú CMOS interfész
AVDD	Kettes komplementes formátumú CMOS interfész

Table 4. A /SEN vezérlőbemenettel választható funkciók

A soros programozási módban először alaphelyzetbe kell állítani a regisztereket, egy nagyobb, mint 10 ns RESET impulzussal, vagy a RST bit egybe írásával. A /SEN, SDATA, és SCLK jelekkel programozhatóak a regiszterek.



Ábra 48. Soros interfész időzítési diagram

Az engedélyező bemenet aktív szintje alatt, az órajel minden lefutó élére beíródik egy bit. A 16 bites szavak első 5 bitje a regisztercím, a következő 11 bit pedig az adat, amely a 16. órajelre átíródik a regiszterbe. Az órajel maximális sebessége 20 MHz.

REGISTER ADDRESS IN HEX	REGISTER FUNCTIONS											
	A4 - A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00	<PDN OBUF> Output buffers powered down	<COARSE GAIN> Coarse gain	<LVDS CMOS> LVDS or CMOS Output interface	0	0	<REF> Internal or external Reference	<RST> Software reset	0	<PDN CLKOUT> Output clock buffer powered down	0	<STBY> ADC Power down	
04	<DATAOUT POSN> Output data position control	<CLKOUT EDGE> Output clock edge control	<CLKOUT POSN> Output clock position control	0	0	0	0	0	0	0	0	0
09	Bit-wise or Byte-wise control	0	0	0	0	0	0	0	0	0	0	0
0A	<DATA FORMAT> 2s Complement or straight binary	0	0	<TEST PATTERNS>			0	0	0	0	0	0
0B	<CUSTOM LOW> Custom pattern lower 9 bits										0	0
0C	<FINE GAIN> Fine gain 0 to 6dB				0	0	0	<CUSTOM HIGH> Custom pattern upper 5 bits				
0E	0	LVDS Termination LVDS Internal termination control for output data and clock						<LVDS CURRENT> LVDS Current control		<CURRENT DOUBLE> LVDS current double		
0F	0	0	0	<DRIVE STRENGTH> CMOS output buffer drive strength control				0	0	0	0	

Ábra 49. Regiszterek összefoglalása

<STBY>

- 0 Normál működés
- 1 ADC kikapcsolva

Csak az A/D konvertert kapcsoljuk ki, és a teljes fogyasztás körülbelül 72 mW. A felébredési idő standby módból érvényes kimenő adatig maximum 50 us.

<PDN CLKOUT>

- 0 Kimeneti órajel aktív
- 1 Kimeneti órajel nagyimpedanciás

A kimeneti órajel puffer nagy impedanciássá válik. Az adatkimenetek változatlanok.

<RST>

1 Összes regiszter nullába íródik

Az RST bit is törlődik.

<REF>

0 Belső referencia engedélyezve

1 Külső referencia engedélyezve

Az ADS6145 konverternek vannak belső referenciái REFP és REFM, amelyek nem igényelnek külső komponenseket. Belső referencia használatakor az REFP és REFM feszültségek belsőleg generálódnak. A közös modulusú feszültség 1,5 V, az IC 'VCM' lábán kimenet. Külső referencia módban a VCM lábat használjuk referencia bemenetként. A differenciális bemeneti tartományt a *(bemeneti tartomány = külső referencia feszültség * 1,33)* összefüggés adja. Ebben a módban az 1,5 V közös modulusú feszültséget külsőleg kell előállítani.

<LVDS CMOS>

0 Párhuzamos CMOS interfész

1 DDR LVDS interfész

CMOS módban a kimeneti puffer tápfeszültség (DRVDD) 1,8 V – 3,3 V tartományban működhet. Minden adat bit külön kimeneti lábon megjelenik CMOS feszültség szinten, mindegyik órajel ütemre. Rövid, illesztett adat utakat érdemes használni a gyors jelváltozási sebesség eléréséhez. A kimeneti pufferek áramfelvétele a bitváltások számával arányos, amely a mintavételi frekvencia és az alkalmazás jellegének függvénye.

Az LVDS (Low Voltage Differential Signal) interfész csak 3,3 V-os DRVDD tápfeszültséggel működik. Mindegyik órajelre 2 egymást követő adatbit kerül a kimenetre mindegyik LVDS kimeneti páron (DDR, Double Data Rate). 7 LVDS kimeneti pár van a 14 adat bitnek és egy LVDS kimeneti pár van a kimeneti órajelnek.

<COARSE GAIN>

0 0 dB erősítés

1 3,5 dB erősítés

Ld. FINE GAIN.

<PDN OBUF>

0 Kimeneti adat és órajel pufferek engedélyezve

1 Kimeneti adat és órajel pufferek letiltva

A kimeneti pufferek letiltásával a fogyasztás körülbelül 408 mW-ra csökken. A letiltott pufferek kimenete nagyimpedanciás. A felébredési idő érvényes adat megjelenéséig a kimeneten maximum 500 ns LVDS módban és 200 ns CMOS módban.

<CLKOUT POSN>

- 0 Definiált órajel pozíció
- 1 Kimeneti órajel 400 ps-mal késleltetve

Ha a vevő egység több setup időt igényel, 400 ps-mal késleltethető a kimeneti órajel.

<CLKOUT EDGE>

- 0 Az órajel felfutó élénél érvényes az adat
- 1 Az órajel lefutó élénél érvényes az adat

A vevő egység igénye szerint invertálható a kimeneti órajel.

<DATAOUT POSN>

- 0 Alap adat pozíció bekapcsolás után
- 1 Az alap pozícióhoz képest fél órajellel késleltetett adat

Késleltethető az adatkimenet fél órajellel.

<BYTE-WISE> (csak LVDS módban)

- 0 Az órajel felfutó élére a páros bitek találhatóak a kimeneten, lefutó élére a páratlan bitek
- 1 Az órajel felfutó élére az alsó 7 bit található a kimeneten, lefutó élére a felső 7 bit

DDR használatához felkínált opciók.

<TEST PATTERNS>

- 000 Normális működés
- 001 Mindegyik kimenet nulla, 0x0000
- 010 Mindegyik kimenet egy, 0x3FFF
- 011 A kimenet a 0x2AAA és a 0x1555 között váltakozik órajelenként
- 100 A kimenet növekszik egy LSB-vel órajelenként.
- 101 A felhasználó által megadott minta olvasható a kimeneten (CUSTOM bitek)
- 110 Nincs használva
- 111 Nincs használva

Tesztelés céljából kiadhatók különféle előre definiált vagy a felhasználó által megadott minták.

<DATA FORMAT>

- 0 Kettes komplementis kimenet
- 1 Egyszerű bináris kimenet

Lehetőséget biztosít kettes komplementis és egyszerű bináris formátumok váltása között.

<CUSTOM LOW>

A felhasználó által megadható minta alsó 9 bitje

Ld. CUSTOM HIGH

<CUSTOM HIGH>

A felhasználó által megadható minta felső 5 bitje

Az itt megadott bitminta tesztelési célokra használható

<FINE GAIN>

- 000 0 dB erősítés
- 001 1 dB erősítés

010	2 dB erősítés
011	3 dB erősítés
100	4 dB erősítés
101	5 dB erősítés
110	6 dB erősítés
111	Nincs használva

A GAIN beállításokkal javítható az SFDR jellemző. COARSE (3,5 dB) és FINE (0-6 dB) beállítások programozhatóak. Az analóg bemenetet át kell skálázni az erősítéssel fordított arányban.

<CURRENT DOUBLE> (D0 az adatbitek, D1 az órajelre vonatkozik)

0	Az LVDS CURRENT bitekkel megadott áram
1	Az LVDS CURRENT bitekkel megadott áram kétszerese

Lehetőséget biztosít az adatbitek és az órajel áramának duplájára növelésére.

<LVDS CURRENT>

00	3,5 mA
01	2,5 mA
10	4,5 mA
11	1,75mA

Az alap LVDS áram 3,5 mA. Például egy 100 Ω -os terhelésen ez 700 mV_{pp} differenciális feszültség szintet eredményez.

<LVDS TERMINATION> (adat és órajel lezárás)

000	Nincs belső lezárás
001	300 Ω
010	185 Ω
011	115 Ω
100	150 Ω
101	100 Ω
110	80 Ω
111	65 Ω

Több értéket választva, a lezárás azok párhuzamos eredője. Megfelelő lezárás elnyeli a visszaverődéseket. A lezárás alkalmazása mellett a CURRENT DOUBLE opcióval megtartjuk a feszültség szintet.

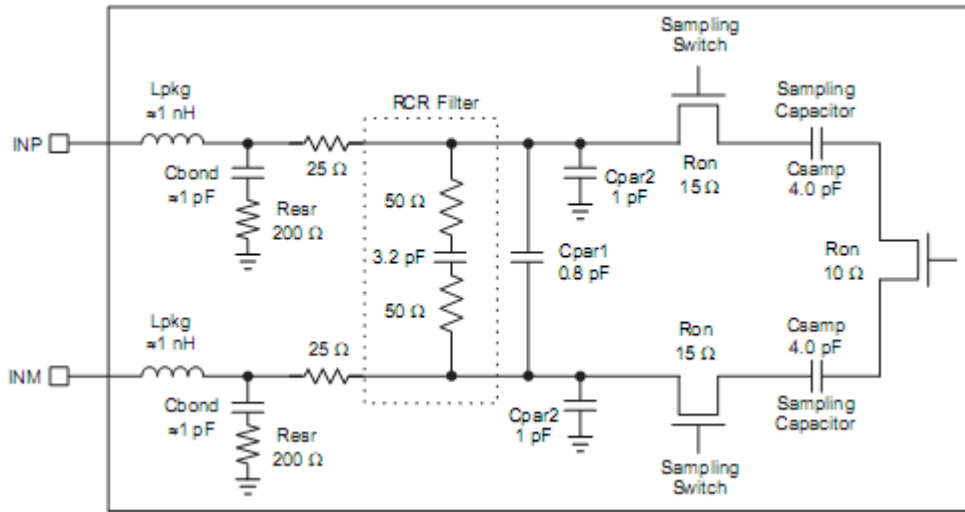
<DRIVE STRENGTH>

0101	Gyengébb
0000	Alap meghajtási erősség
1111	Erősebb
1010	Maximális meghajtási erősség
xxxx	Egyéb kombináció nincs definiálva

Nagyobb kimeneti meghajtás rosszabb jel-zaj viszonyt eredményez a szórt kapacitív csatolások miatt.

A szükséges kimeneti meghajtó erősség, a terhelő kapacitás értékének és a DRVDD tápfeszültség nagyságának függvénye.

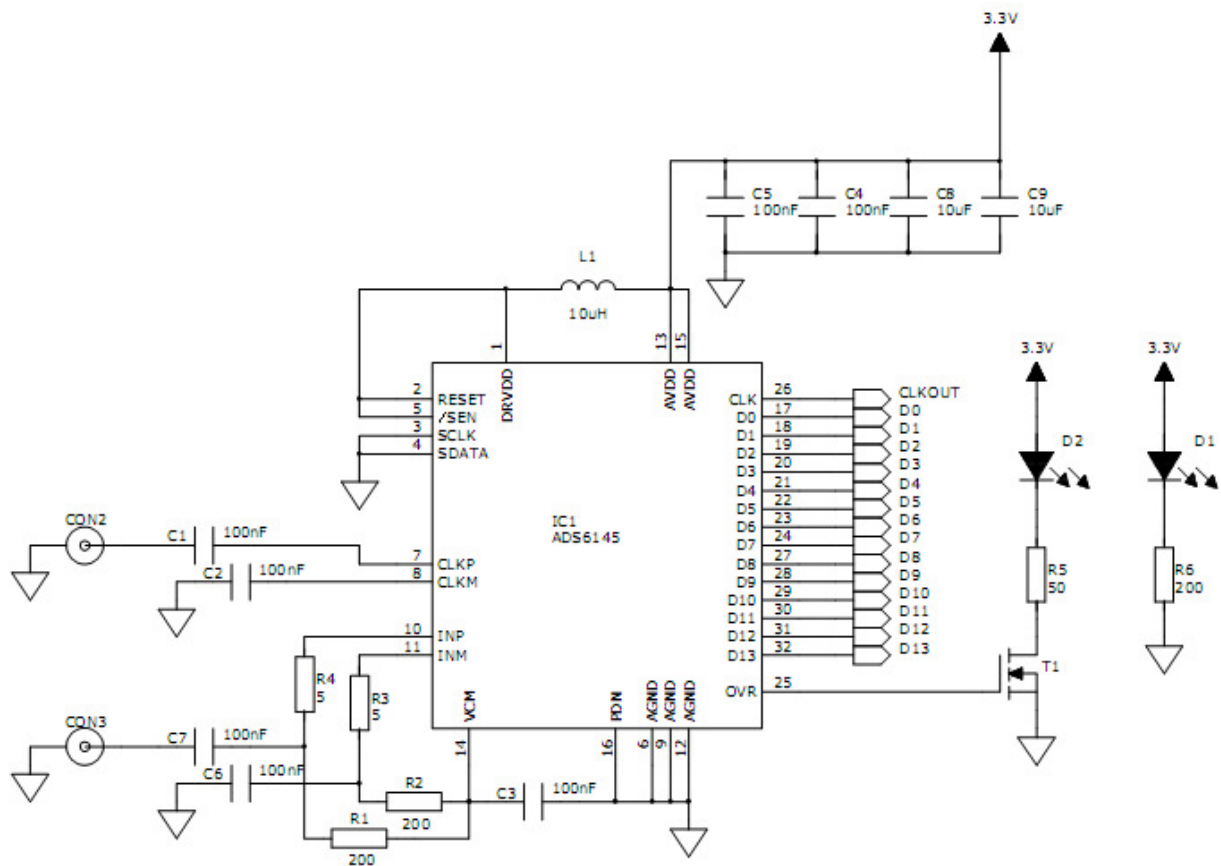
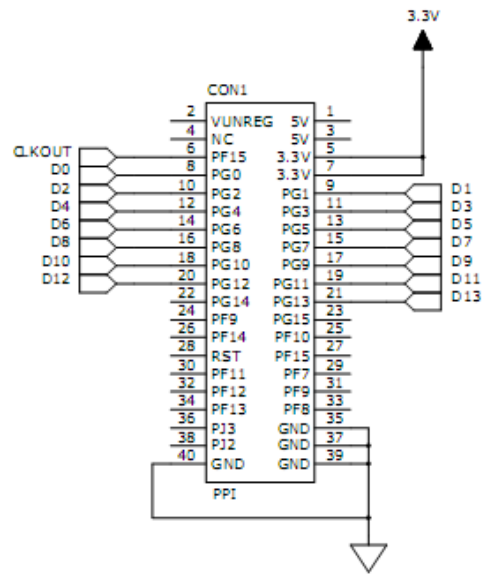
5.1.3. Analóg bemenet



Ábra 50. Bemeneti mintavételező és tartó áramkör

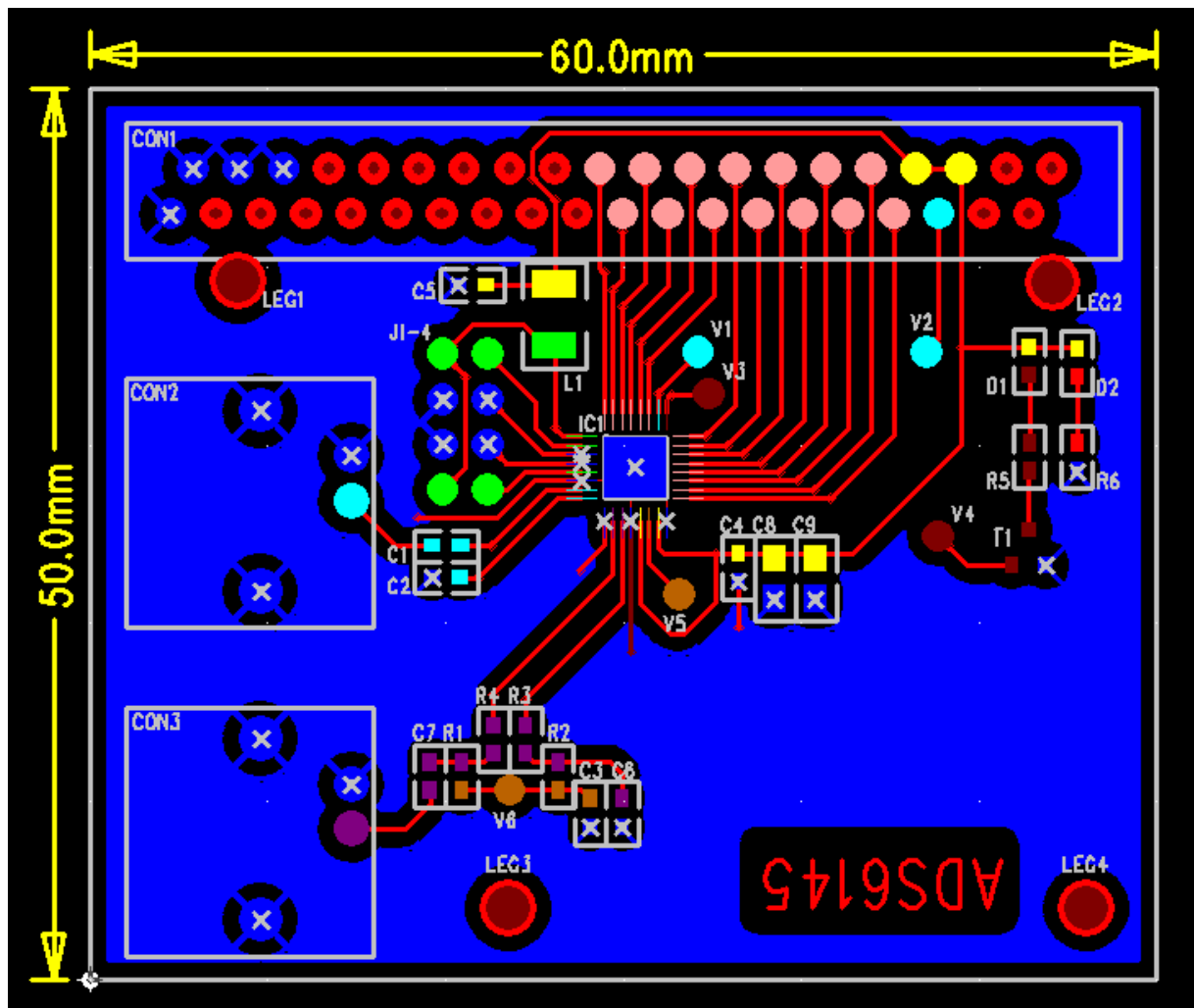
A bemeneti fokozat egy kapcsolt kapacitáson alapuló mintavevő és tartó architektúrán alapul. A bemeneti tartomány $2 V_{pp}$. A differenciális felépítés jó dinamikus tulajdonságokat eredményez. A IC VCM lábán elérhető 1,5 V közös modulusú feszültség körül ingadoznak szimmetrikusan a bemeneti jelek, a $VCM - 0,5 V$ és $VCM + 0,5 V$ közötti tartományban. A prototípus ettől eltér, nem szimmetrikus a bemenete. Az INP lábön ingadozik a maximum 1 V amplitúdójú jel a VCM feszültség körül. Az INM láb folyamatosan a VCM szinten van. Ez a megoldás csökkenti a közös modulusú zajjal szembeni immunitást. Ajánlotta a bemenetekkel sorba kötni 5 Ω ellenállást, hogy csillapítsa a parazita impedanciák által gerjesztett esetleges oszcillációt. A közös modulusú áram kis impedanciát igényel a bemenetek felé. A bemeneti fokozat a mintavételi frekvenciával egyenes arányban fogyasztja a közös modulusú áramot, 180 μA -t fogyaszt 125 MSPS mintavételi sebességnél. A bemenet impedanciája frekvenciafüggő, és a bemeneti ellenállás és a bemeneti kapacitás párhuzamos kapcsolásával modellezhető.

5.2. Logikai kapcsolási rajz



?? szöveg

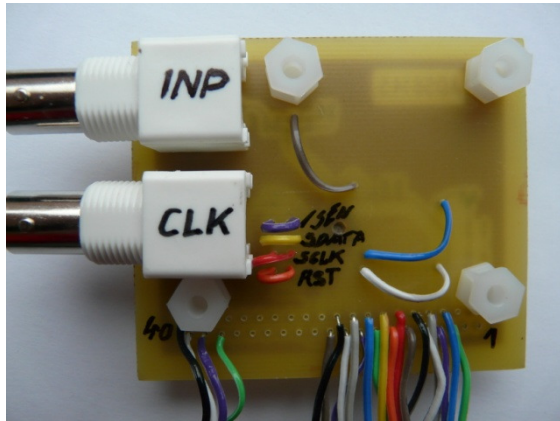
5.3. Nyomtatott huzalozási terv



A prototípus nyomtatott huzalozási terve egyoldalásra készült, néhány átkötéssel a hátoldalon. 19 kivezetés a szalag kábel csatlakozóján nincs használva.

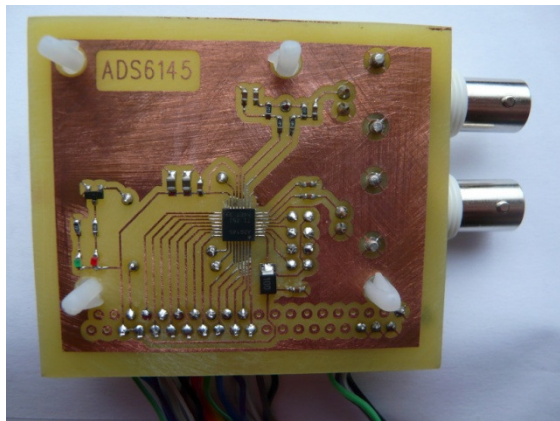
?? színek

5.4. Élesztés

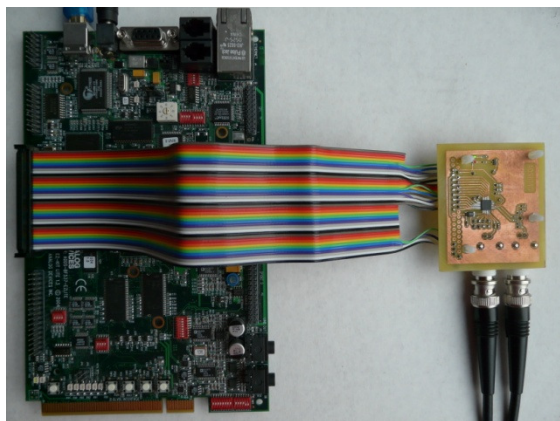


Az összekötések és a szigetelések ellenőrzése után, egy külső tápegységről 3,3 V feszültséget kapcsoltam a prototípusra. A tápegység 37 mA áramfelvételt mutatott.

A 0,5 V amplitúdójú, 3 MHz frekvenciájú bemeneti órajel bekapcsolása után, a kimenet első 4 LSB-jén volt mérhető szintváltás, a bemeneti zaj hatására.



A IC 'OVR' kimenete vezérel egy piros LED-et, ami a bemeneti tartomány túllépését jelzi.



A helyes működést követően, a prototípus összeköthető az ADSP-BF537 EZ-KIT Lite fejlesztő kártyával, a kimeneti kódok feldolgozása céljából. A fejlesztő kártyán és a prototípuson is meg van jelölve a csatlakozó 1-es lába.

6. Szoftveres élesztés

A következő szakaszokhoz a [3] szakirodalom szolgált alapul.

6.1. GPIO regiszterek

Pin Name (Function)	PORT_MUX	PORTF_FER	PORTG_FER
PPI D0 (PPI data 0)			Set bit 0 (PG0)
PPI D1 (PPI data 1)			Set bit 1 (PG1)
PPI D2 (PPI data 2)			Set bit 2 (PG2)
PPI D3 (PPI data 3)			Set bit 3 (PG3)
PPI D4 (PPI data 4)			Set bit 4 (PG4)
PPI D5 (PPI data 5)			Set bit 5 (PG5)
PPI D6 (PPI data 6)			Set bit 6 (PG6)
PPI D7 (PPI data 7)			Set bit 7 (PG7)
PPI D8 (PPI data 8)	Clear bit 9 (PGSE)		Set bit 8 (PG8)
PPI D9 (PPI data 9)	Clear bit 9 (PGSE)		Set bit 9 (PG9)
PPI D10 (PPI data 10)	Clear bit 10 (PGRE)		Set bit 10 (PG10)
PPI D11 (PPI data 11)	Clear bit 10 (PGRE)		Set bit 11 (PG11)
PPI D12 (PPI data 12)	Clear bit 10 (PGRE)		Set bit 12 (PG12)
PPI D13 (PPI data 13)	Clear bit 11 (PGTE)		Set bit 13 (PG13)
PPI D14 (PPI data 14)	Clear bit 11 (PGTE)		Set bit 14 (PG14)
PPI D15 (PPI data 15)	Clear bit 11 (PGTE)		Set bit 15 (PG15)
PPI_CLK (PPI clock)		Set bit 15 (PF15)	
PPI_FS1 (PPI frame sync 1)		Set bit 9 (PF9)	
PPI_FS2 (PPI frame sync 2)		Set bit 8 (PF8)	
PPI_FS3 (PPI frame sync 3)	Set bit 8 (PFFE)	Set bit 7 (PF7)	

Ábra 51. PPI bemenetek beállítása

Speciális funkciók eléréséhez, egybe kell állítani a megfelelő bitet a megfelelő PORTx_FER (Function Enable Register) regiszterben. Egy be/kimenethez több funkció is tartozhat. A funkciók között a POTR_MUX regiszter írásával lehet választani. A PPI kimeneteinek beállításához a programozni kell a **PORT_MUX**, **PORTF_FER**, és **PORTG_FER** memória címtartományba ágyazott MM (Memory-Mapped), általános célú GPIO (General-Purpose Input Output) regisztereket.

A 16 bit PPI adat a G porton található. A felsőbb adatvonalak a SPORT0 periféria jeleivel vannak multiplexelve. A **PORT_MUX** **PGSE**, **PGRE**, és **PGTE** vezérlő bitjeivel állítható a fokozatos funkcióváltás. A PPI órajele és keretszinkronizáló jelei az F porton találhatók.

6.2. PPI_CONTROL regiszter

A PPI-nak 13 különböző működési módja van. A mintaprogramban a belső indítású, keret szinkronizáció nélküli, vevő módot használjuk. A módokhoz kapcsolódó beállításokat a **PPI_CONTROL** regiszterben kell megadni. Ebben a regiszterben lehet megadni a vezérlőjelek polaritását és az adatszélességet is.

A **POLC** és a **POLS** bitekkel állítható a polaritása az órajelnek és a szinkronizáló jeleknek. A szinkronizáló jelek nincsenek használva, polaritásukat nem kell programozni. Az ADC adatlapja alapján a kimeneti órajelének a felfutó éle használható adat latch-elésre. Ennek megfelelően a **POLC** bitet nullába kell programozni.

A **DLEN[2:0]** bitekkel kell megadni az adatszélességet. 14 bitnek az '101' felel meg.

A **SKIP_EO** és a **SKIP_EN** bitekkel lehet beállítani és engedélyezni, hogy a PPI hagyjon figyelmen kívül minden második, páros vagy páratlan adatot. Ezt a funkciót nem használjuk.

A **PACK_EN** bittel lehetőség van 8 bites adat esetén két mintát továbbítani egyszerre egy 16 bites szóba csomagolva. Egyébként a felső bitek mind nullák lennének.

A **FLD_SEL**, **PORT_CFG[1:0]**, **XFR_TYPE[1:0]**, és a **PORT_DIR** biteket a kiválasztott módnak megfelelően kell beállítani.

A **PORT_EN** bit szolgál a belső indítójelként.

Végül a **PPI_CONTROL = 0x187C**, engedélyezés után **0x187D**.

6.3. További PPI regiszterek

A **PPI_STATUS** regiszter információt biztosító biteket tartalmaz a PPI aktuális működési állapotáról.

A **PPI_COUNT** regiszterbe a soronként fogadott minták számánál eggyel kisebb értéket kell írni. A mintaprogramban nincs keretszinkronizáció, ezért az összes minta egy sorban helyezkedik el.

A **PPI_DELAY** és a **PPI_FRAME** regiszterekben a keretszinkronizációval kapcsolatos beállítások adhatók meg.

6.4. DMA regiszterek

A regiszter-alapú DMA a hagyományos DMA működési fajta. Szoftver beírja a memóriacímet és az adathosszúságot, és elindítja a működést.

A **DMA0_START_ADDR** regiszterbe kell beleírni a memória kezdőcímet. Egy magas szintű megoldásként létre lehet hozni egy megfelelő típusú és nagyságú tömböt, és a mutatóját beírni a regiszterbe.

A **DMA0_X_COUNT** regiszter, 2D DMA esetén a belső hurok számlálója, 1D DMA esetén megadja az elemek számát.

A **DMA0_X_MODIFY** regiszter tartalmazza az előjeles, kettes komplementes címnövekedést bájtban megadva. Például a 16 bites adat számára 0x0002. Minden átvitel után ennyivel növeli a DMA az aktuális címet.

6.5. DMA0_CONFIG regiszter

A **DMA0_CONFIG** regiszterben lehet beállítani néhány paramétert és működési módokat.

A **FLOW[2:0]** biteket nullába kell írni a 'Stop' módhoz. Ebben a módban az **DMA_X_COUNT** regiszterben megadott számú elem után megáll az átvitel. Megszakítás keletkezik, ha engedélyezve van. A **DMA_RUN** státusz bit a **DMA0_IRQ_STATUS** regiszterben nullába vált, amíg a **DMAEN** bit a **DMA0_CONFIG** regiszterben nem változik.

A **NDSIZE[3:0]** bitek a leíró méretének megadására szolgálnak. Stop módban nullába kell írni.

A **DI_EN** és a **DI_SEL** bitek a DMA megszakítással kapcsolatosak. Ha nincs igény megszakításra nullába kell őket írni.

A **SYNC** bitnek a FIFO kezelésében van szerepe. Folyamatos módban nullába kell írni.

A **DMA2D** bitet nullába kell írni az 1D módhoz.

A **WDSIZE[1:0]** biteket 0x0002-be kell írni, mert 16 bitesek az átvitt adatok.

A **WNR** bit specifikálja az adatarányt. Memóriába való írás esetén egybe kell állítani.

A **DMAEN** bit egybe írásával engedélyezi a hozzá tartozó DMA csatornát. A DMA csatorna konfigurálása és engedélyezése után elindítható a periféria.

Végül a **DAM_CONFIG** = 0x0006, engedélyezés után 0x0007.

6.6. DMA0_IRQ_STATUS regiszter

A **DMA0_IRQ_STATUS** megszakítás státusz regiszter tartalmaz biteket, amelyek mutatják, hogy a DMA milyen állapotban van:

- Engedélyezve van és működik
- Engedélyezve van, de megállt, vagy le van tiltva.
- Leíró beolvasása folyamatban
- Megszakítás jelezve van.
- Hiba történt.

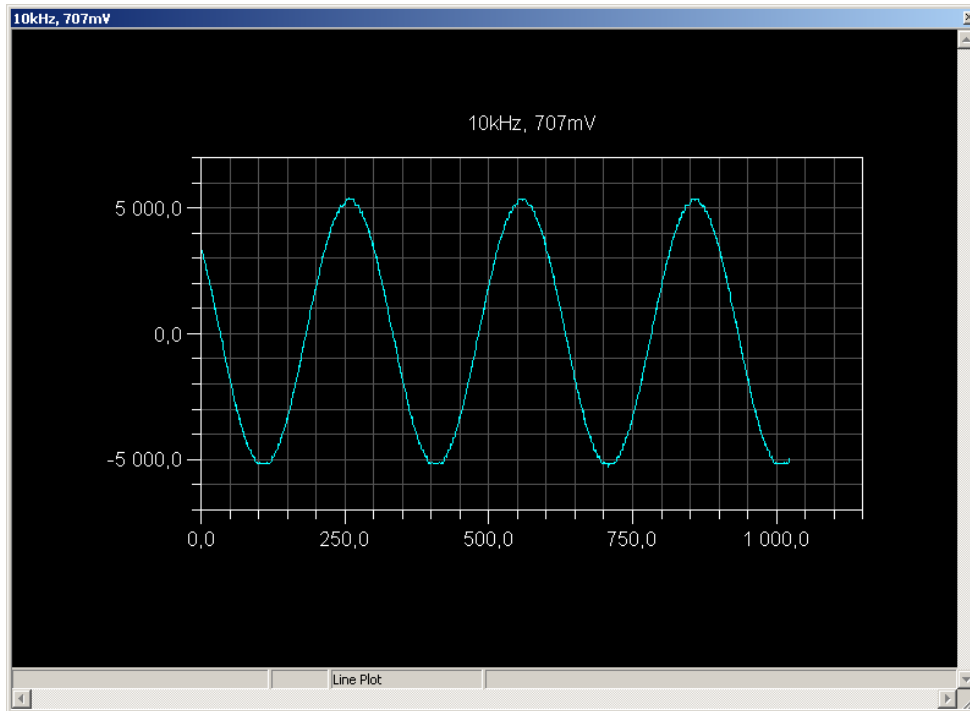
A **DMA_RUN** bit automatikusan egybe van állítva a **DMA0_CONFIG** regiszter írása után. Nulla értéke jelzi, hogy a csatorna le van tiltva, vagy stop módban véget ért az adatátvitel. Egy értéke jelzi, hogy engedélyezve van és működik, azaz adatot vagy leíró szállít.

A **DFETCH** bit jelzi, hogy egy leíró beolvasása folyamatban van.

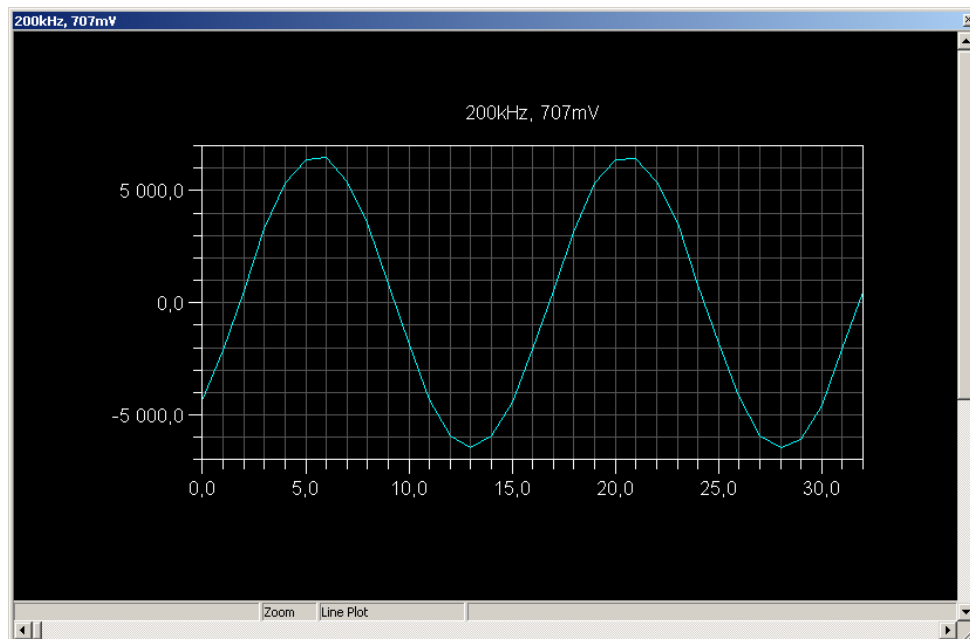
A **DMA_ERR** bit egybe állítódik hiba esetén, és egy globális DMA megszakítás igény generálódik. Egybe írva törlődik (W1C).

A **DMA_DONE** bit egybe állítódik az átvitel teljesítése után, és egy megszakítási igényt generál. Egybe állítódása után a **DMA_RUN** bitnek nincs jelentősége, nem mutatja a FIFO állapotát. Ha a megszakítás nincs is engedélyezve, a **DMA_DONE** bitet le lehet kérdezni.

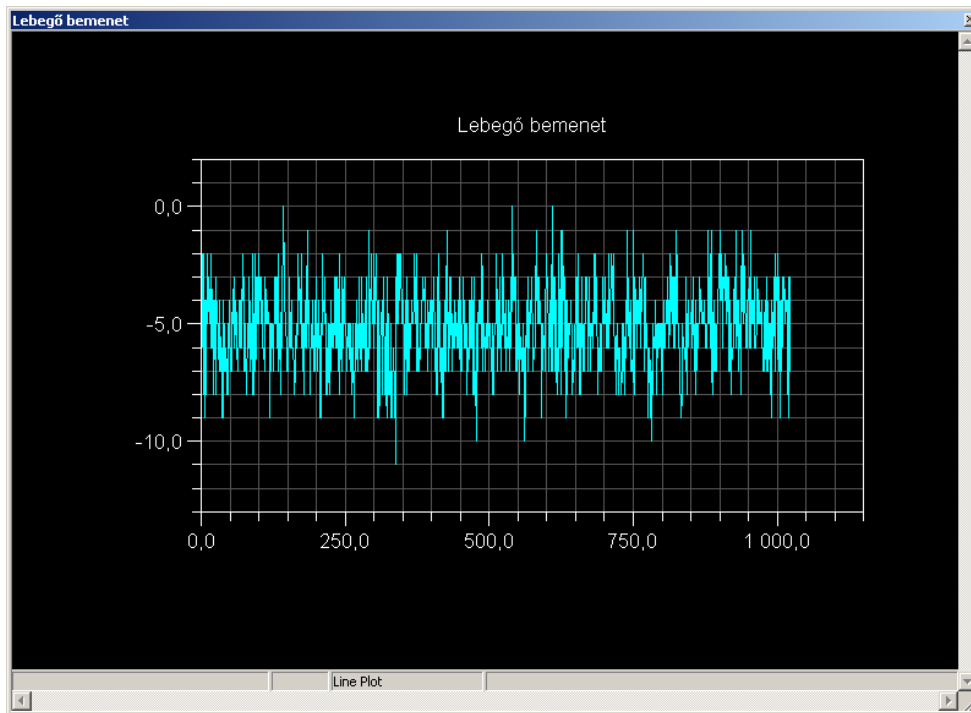
7. Eredmények értékelése



A 14 bit felbontás esetén a kód -8192 és +8191 között értékeket vehet fel. A 0,707 V effektív értékű szinuszjel amplitúdója 1 V. Ennek teljesen ki kellene töltenie a $2 V_{pp}$ bemeneti tartományt. Az ábráról viszont 8192 helyett, körülbelül 5400 olvasható, ami 66 %-a. A csökkent értéket a bemeneti osztás okozza.



A bemeneti csatolókondenzátor ellenállása frekvenciafüggő, ezért magasabb frekvencián kisebb a leosztás. A 200 kHz-es szinuszjelre 79% a mintavételezett jel nagysága.



A bemeneti zaj 3-4 LSB nagyságú, és -0,61 mV az offset hiba, ami 0,061%, az 1 V_p bemeneti tartományhoz viszonyítva.

Irodalomjegyzék

[1] Walt Kester: Analog-Digital Conversion, Analog Devices, Inc., One Technology Way, Norwood, Mass., March 2004

[2] Walt Kester: Analog-Digital Conversion, Analog Devices, Inc., One Technology Way, Norwood, Mass., March 2004

[3] ADSP-BF537 Blackfin® Processor Hardware Reference, Analog Devices, Inc., One Technology Way, Norwood, Mass., Revision 3.2, March 2009

[4] ADSP-BF537 EZ-KIT Lite® Evaluation System Manual, Analog Devices, Inc., One Technology Way, Norwood, Mass., Revision 2.4, April 2008

[5] ADS6145 Data Sheet, Texas Instruments Incorporated, Dallas, Texas, March 2008